

ДВОИЧНО-ДЕСЯТИЧНЫЙ СУММАТОР-ВЫЧИТАТЕЛЬ ДЛЯ СИСТЕМ АВТОМАТИЧЕСКОГО КОНТРОЛЯ

Н. П. БАЙДА, Е. Б. ХИЛАЖЕВ

(Представлена кафедрой вычислительной техники)

В современных системах автоматического контроля (САК) все более широкое применение находят специализированные вычислительные устройства (СВУ), позволяющие оптимизировать процесс контроля, производить самоконтроль САК и определять будущее состояние контролируемого объекта [1÷3]. Обычно такие СВУ работают в коде 8421 и содержат в качестве основного арифметического узла двоично-десятичный сумматор. При этом для выполнения операций десятичного вычитания и деления необходимо получить дополнительный код вычитаемого.

Однако операция получения дополнения в коде 8421 не сводится к простому инвертированию прямого кода вычитаемого с добавлением единицы в младшем разряде как в двоичном коде, а является более сложной. Для преобразования прямого десятичного кода 8421 в дополнительный нужно каждую десятичную цифру заменить ее дополнением до девяти и прибавить в младшем разряде единицу. Время получения дополнения в коде 8421 при последовательной работе арифметического устройства (АУ) равно времени сложения двух чисел, причем сумму при сложении дополнительных десятичных кодов необходимо корректировать как и при сложении прямых кодов. В результате при десятичном вычитании в известных СВУ нужна дополнительная операция получения дополнения, которая удлиняет цикл вычитания в два раза и уменьшает быстродействие АУ. Операцию получения дополнения можно исключить, если применить в СВУ в качестве основного арифметического узла двоично-десятичный сумматор-вычитатель, функциональная схема которого приведена на рис. 1.

Двоично-десятичный сумматор-вычитатель (ДСВ) содержит комбинационный двоичный сумматор-вычитатель 1 для образования первоначальной нескорректированной суммы (разности), линии задержки 2, 3 для задержки информации на один такт, сдвиговый регистр 4 на четыре двоичных разряда, который используется в качестве линии задержки для улавливания момента начала коррекции, дешифратор 5 для формирования сигнала необходимости коррекции, триггер 6, запоминающий сигнал необходимости коррекции, схемы совпадения 7—10, которые служат для стробирования сигналов, схему «ИЛИ» и комбинационный двоичный сумматор-вычислитель 12, идентичный сумматору-вычитателю 1 и служащий для коррекции первоначальной суммы (разности).

Для работы ДСВ необходимы синхронизирующие импульсы (такты) C_1, C_2, C_3, C_4 (рис. 2), совпадающие с четвертым, третьим, вторым и первым разрядами тетрады соответственно, и управляющие импульсы I_1 и I_2 .

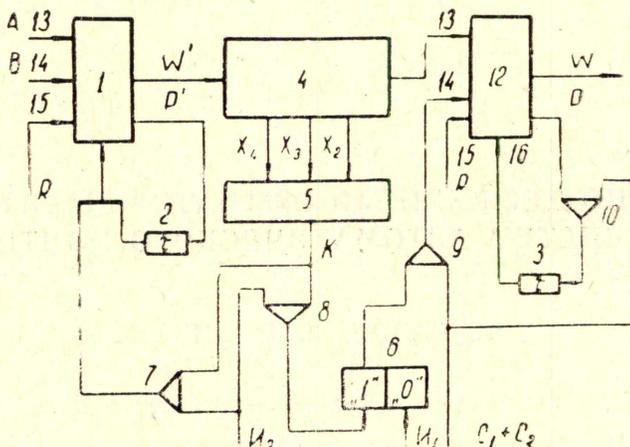


Рис. 1. Функциональная схема двоично-десятичного сумматора-вычитателя:
1, 12 — комбинационные двоичные сумматоры-вычитатели; 2, 3 — линии задержки; 4 — сдвиговый регистр; 5 — дешифратор; 6 — триггер; 7—10 — схемы совпадения

На схему поступают числа A и B в коде 8421, последовательно, младшими разрядами вперед, сигнал «режим работы» (при сложении $R = 1$, при вычитании $R = 0$), синхронизирующие и управляющие импульсы. На входе ДСВ получается сумма (разность) $W = A \pm B$ в коде 8421.

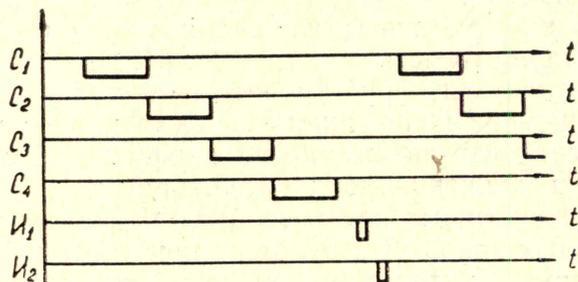


Рис. 2. Основные временные соотношения работы ДСВ.

При сложении (вычитании) чисел в коде 8421 возникает необходимость коррекции первоначальной суммы (разности). При последовательной работе устройства суммы, большие девяти, должны быть представлены в виде одного переноса десятичного разряда и остатка в двоично-десятичном коде. Все возможные случаи двоичных сумм, больших девяти, и их требуемые представления собраны в таблице.

Если состояние триггеров в двоичных разрядах характеризовать символами X_i ($i = 1, 2, \dots, 5$), то в терминах алгебры Буля условие необходимости исправления результата может быть записано в виде

$$K = X_5 + X_4(X_3 + X_2), \quad (1)$$

где

K — сигнал коррекции;

X_5 — двоичный перенос в старшую тетраду при сложении или заем из старшей тетрады при вычитании.

В предлагаемом устройстве коррекция осуществляется путем прибавления кода 0110 к первоначальной сумме при сложении или

путем вычитания кода 0110 из первоначальной разности при вычитании на втором двоичном сумматоре-вычитателе.

Работа комбинационного двоичного сумматора-вычитателя описана в [14]. На входы 13 и 14 двоичного сумматора-вычитателя 1 поступают числа A и B в коде 8421 младшими разрядами вперед и на

Таблица 1

Исправление промежуточных сумм

	Промежуточный результат					Исправленный результат				
	X_5	X_4	X_3	X_2	X_1	X_5	X_4	X_3	X_2	X_1
10	0	1	0	1	0	1	0	0	0	0
11	0	1	0	1	1	1	0	0	0	1
12	0	1	1	0	0	1	0	0	1	0
13	0	1	1	0	1	1	0	0	1	1
14	0	1	1	1	0	1	0	1	0	0
15	0	1	1	1	1	1	0	1	0	1
16	1	0	0	0	0	1	0	1	1	0
17	1	0	0	0	1	1	0	1	1	1
18	1	0	0	1	0	1	1	0	0	0
19	1	0	0	1	1	1	1	0	0	1

вход 15, сигнал «режим работы» R . На выходе сумматора-вычитателя 1 образуется двоичная сумма (разность) по формуле

$$W_{k'} = P_{k-1} (a_k b_k + \bar{a}_k \bar{b}_k) + \bar{P}_{k-1} (a_k b_k + \bar{a}_k \bar{b}_k),$$

где $W_{k'}$ — двоичный разряд суммы (разности);

a_k и b_k — двоичные разряды чисел A и B соответственно;

P_{k-1} — перенос из предыдущего двоичного разряда при сложении или заем в предыдущий двоичный разряд при вычитании.

Сигнал переноса в старший двоичный разряд при сложении или заем из старшего двоичного разряда при вычитании образуется по формуле

$$P_{k'} = R [a_k b_k + (a_k + b_k) P_{k-1}] + \bar{R} [\bar{a}_k \bar{b}_k + (a_k b_k + \bar{a}_k \bar{b}_k) P_{k-1}], \quad (3)$$

где

$R = 1$ при сложении,

$R = 0$ при вычитании.

Сигнал двоичного переноса (заема) $P_{k'}$ через линию задержки 2 и схему собирания поступает на вход 16 двоичного сумматора-вычитателя 1 для суммирования со следующим двоичным разрядом в соответствии с формулой (2) и на дешифратор 5 для формирования сигнала коррекции. Нескорректированная двоичная сумма (разность) W' поступает с выхода сумматора-вычитателя 1 через сдвигающий регистр 4 на вход 13 сумматора-вычитателя 12, для алгебраического суммирования с корректирующим кодом 0110.

С выходов триггеров сдвигового регистра 4 сигналы подаются на дешифратор 5, который формирует сигнал необходимости коррекции K по формуле (1). Сигнал необходимости коррекции K через схему сов-

падения 8, стробируемого управляющим импульсом I_2 , устанавливает триггер 6 в «1», и одновременно сигнал K через схему совпадения 7, стробируемую импульсом I_2 , и схему «ИЛИ» подается на вход сумматора-вычитателя 1, осуществляя десятичный перенос в старшую тетраду. Через схему совпадения 9, подготовленную по одному входу сигналом с единичного выхода триггера 6, на вход 14 сумматора-вычитателя 12 приходят синхронизирующие импульсы $C_2 + C_3$, совпадающие с третьим и вторым разрядом тетрады соответственно. Управляющим импульсом I_1 триггер 6 сбрасывается и при отсутствии сигнала K такты $C_2 + C_3$ не пройдут через схему совпадения 9 на вход 14 сумматора-вычитателя 12. Таким путем формируется корректирующий код 0110.

Двоичный сумматор-вычитатель 12 осуществляет коррекцию первоначальной суммы (разности) W , поступающей на его вход со сдвигового регистра 4. При сложении происходит добавление к первоначальной сумме кода 0110, а при вычитании — вычитание из первоначальной разности кода 0110. Работа сумматора-вычитателя 12 аналогична работе сумматора-вычитателя 1. Двоичный перенос (заем) P , задержанный на один такт линией задержки 3, добавляется к следующему двоичному разряду тетрады. Десятичный перенос между тетрадами при добавлении кода 0110 запрещается схемой совпадения 10. На выходе сумматора-вычитателя 12 образуется правильная сумма (разность) W_1 в коде 8421.

Так как для коррекции при вычитании и сложении в ДСВ используется один корректирующий код, то ДСВ сложнее двоично-десятичного сумматора только за счет добавления оборудования для реализации логики заема при вычитании. Но исключение операции получения дополнения при десятичном вычитании позволяет значительно упростить схему управления АУ.

Поэтому применение двоично-десятичного сумматора-вычитателя в качестве основного арифметического узла в системах автоматического контроля позволяет увеличить скорость выполнения операций десятичного вычитания и деления при одновременном уменьшении объема используемого оборудования.

ЛИТЕРАТУРА

1. В. В. Сомик, Н. Г. Коньков. Автомат проверяет самолет и ракету. М., Воениздат, 1967.
2. М. Д. Лебедев. Состояние и развитие автоматических систем контроля. М., «Энергия», 1968.
3. «Электроника» (пер. с англ.), № 18, т. 40, 1967.
4. Авторское свидетельство, № 174 438, кл. 42m; 14₀₃