

ПРОЕКТИРОВАНИЕ УНИФИЦИРОВАННОГО НАБОРА БЛОКОВ ДЛЯ ЗАДАННОГО КЛАССА ФУНКЦИОНАЛЬНЫХ СХЕМ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ

В. К. ПОГРЕБНОЙ, С. З. ЯМПОЛЬСКИЙ

(Представлена научно-техническим семинаром кафедры автоматизированных систем управления и лаборатории управления)

Традиционный подход к решению задачи компоновки элементов функциональных схем вычислительных устройств в блоки, когда основным критерием качества является минимум суммарного числа межблочных связей, зачастую является недостаточным, так как использование данного критерия при разработке сложного вычислительного устройства либо серии устройств приводит к появлению большого числа видов блоков. Причина кроется в том, что инженер-конструктор, решая задачу компоновки, не в состоянии учесть все многообразие требований, предъявляемых к решению данной задачи, и одновременно провести анализ применимости уже имеющихся видов блоков, число которых непрерывно растет в ходе проектирования. Быстрый рост числа видов блоков затягивает и без того большие сроки разработки устройств, повышает стоимость устройства на стадии проектирования и в особенности при его производстве. Следовательно, вопросы унификации блоков при проектировании вычислительных устройств приобретают исключительно важное значение.

Использование типовых либо уже имеющихся к моменту проектирования видов блоков не только позволяет существенно сократить сроки проектирования и улучшить экономические показатели устройства, но и значительно улучшить его технические показатели. К ним в первую очередь можно отнести надежность, контролируемость, сокращение размеров ЗИПа и ряд других.

Вопросам унификации блоков при проектировании вычислительных устройств до настоящего времени не уделялось должного внимания. Унификация в конструктивном оформлении ограничивалась выбором стандартных конструкций блоков, панелей, шкафов с учетом возможностей технологии. При этом, как правило, научный подход не использовался. Проблема унификации блоков по функциональному назначению даже при заданных ограничениях на параметры блока сопряжена со значительными трудностями как теоретического, так и практического характера. Здесь большое значение приобретают исследования принципиальной возможности унификации блоков в условиях, когда заданы их размеры и используется элементная база с определенным уровнем интеграции. Следует заметить, что с переходом на большие интегральные схемы проблема унификации не снимается. В этом случае она рассматривается дважды: на первом этапе применительно к боль-

шим интегральным схемам (модулям), а на втором — применительно к блокам.

При исследовании возможных путей решения проблемы унификации блоков можно выделить два основных направления. Первое заключается в анализе совокупности функциональных схем вычислительных устройств, отражающих характеристики некоторого класса устройств, и проектировании унифицированного набора типовых блоков, пригодных для реализации схем данного класса. Второе заключается в анализе имеющейся совокупности нетиповых блоков с целью определения возможности их использования для реализации схемы. Такой подход используется в условиях, когда нет набора типовых блоков либо имеет место низкая применимость таких блоков при реализации конкретной схемы. Таким образом, оба подхода дополняют друг друга и для достижения более высокого уровня унификации должны использоваться совместно. В настоящей работе рассматриваются вопросы, связанные с проектированием унифицированного набора блоков.

Вопросы проектирования унифицированного набора блоков (УНБ) могут рассматриваться в двух аспектах, которые вытекают из наличия конкретных ограничений на конструктивные параметры блоков. В условиях, когда параметры блока заданы жестко, уровень унификации в основном зависит от методов и алгоритмов, используемых при проектировании УНБ. При этом имеется в виду, что выбор таких параметров осуществляется без учета требований, выдвигаемых унификацией. Возможна и другая постановка задачи, когда заданы значения верхней и нижней границ изменения параметров блока. Эти значения выбираются с учетом возможностей технологии, надежности, удобства монтажа и других факторов. В этом случае при проектировании УНБ имеется возможность варьировать параметрами блока в заданном диапазоне и, соизмеряя экономические показатели унификации с экономическими показателями других факторов, находить оптимальное решение.

В настоящей работе задача проектирования УНБ рассматривается при жестко заданных параметрах блока. Однако это не означает, что для решения данной задачи во второй постановке потребуется разрабатывать принципиально новые методы, так как проектирование УНБ при фиксированных значениях параметров блока из заданного диапазона ничем ни отличается от решения задачи в первой постановке. Дополнительно потребуется лишь разработать методику оценки вариантов УНБ, полученных для различных фиксированных значений параметров блока и выбора среди них оптимального варианта. Одним из основных требований, которым должен удовлетворять УНБ, является высокая применимость блоков набора при реализации схем вычислительных устройств заданного класса. Класс функциональных схем определяется серией логических элементов, на которых разработаны схемы, общностью принципов организации и функционального назначения вычислительных устройств, а также перечня типовых узлов и их различных схемных реализаций (модификаций), используемых при разработке схем.

В терминах математической статистики заданный класс схем представляет собой генеральную совокупность L , в которой число схем предполагается весьма большим. К моменту начала работ по компоновке модулей в блоки имеется конкретная совокупность схем, принадлежащих данному классу. Таким образом, имеет место некоторая выборка σ из совокупности L . При анализе схем данной выборки получают выборочные характеристики, которые с некоторой вероятностью, зависящей от величины выборки σ , можно распространить на совокуп-

ность L . Если выборка мала, то выборочные характеристики не отражают с достаточной вероятностью даже наиболее существенные характеристики совокупности L . УНБ, построенный на основе характеристик, полученных из малой выборки, даже при наличии весьма эффективных методов будет отражать характеристики только данной выборки. Поэтому применимость блоков такого УНБ для реализации схем, не принадлежащих выборке, будет низка. В этом случае с появлением новых схем необходимо проводить корректировку УНБ.

При проектировании ряда вычислительных комплексов либо серии вычислительных устройств имеется возможность подвергнуть анализу представительную выборку схем из заданного класса. В качестве такой выборки, в частности, могут быть приняты все схемы одного вычислительного комплекса. Такая выборка характерна тем, что наиболее полно отражает разновидности функциональных схем заданного класса и их количественное соотношение. Результатом анализа выборки схем является перечень логически связанных совокупностей модулей с указанием частот их использования в анализируемых схемах выборки. В зависимости от параметров блока в него может быть включена одна либо несколько совокупностей модулей. При этом предполагается, что совокупности включаются автономно.

Унифицированный набор блоков должен содержать минимальное число видов блоков и в то же время при реализации очередной схемы заданного класса иметь минимальную избыточность. Очевидно, что данные требования являются противоречивыми. Поэтому возникает необходимость в определении оптимального размера набора блоков. При этом должны учитываться как технические, так и экономические показатели. При формировании блоков набора необходимо также, чтобы они были максимально заполнены модулями. При ограниченном количестве контактов разъема качество заполнения блоков зависит от размеров логически связанных совокупностей, из которых формируются блоки. С ростом числа модулей в совокупностях качество заполнения блоков улучшается. В то же время совокупности малых размеров будут чаще встречаться в схемах, поэтому стремление к использованию только больших совокупностей приводит к снижению уровня унификации. Для достижения максимально возможного уровня унификации в данном случае необходимо увеличить число контактов разъема блоков.

В соответствии с вышеуказанными требованиями задача проектирования УНБ формулируется следующим образом. Необходимо осуществить структурный анализ выборки функциональных схем вычислительных устройств с целью выделения в них часто повторяющихся логически связанных совокупностей модулей (именуемых в дальнейшем типовыми структурами) и распределить полученный перечень типовых структур по блокам в таких комбинациях, которые позволили бы в последующем осуществлять реализацию функциональных схем заданного класса блоками набора с минимальной избыточностью.

Разработка и исследование методов проектирования унифицированного набора блоков приводит к необходимости решения ряда задач, которые могут быть объединены в следующие основные группы:

- 1) структурный анализ функциональных схем;
- 2) формирование блоков унифицированного набора;
- 3) определение оптимального размера унифицированного набора.

Для проведения структурного анализа функциональная схема интерпретируется направленным графом $G = (P, U)$. Вершинами p_i графа G являются логические элементы схемы либо более сложные логические

структуры, если они содержат невзаимозаменяемые группы входов [1]. Все входы внутри таких групп являются взаимозаменяемыми. При необходимости выходы логического элемента также могут быть разбиты на группы.

Дуга $p_i \sqcap p_j$ графа характеризует наличие логической связи (выход—вход) между элементами с порядковыми номерами p_i и p_j . Вершина графа p_i характеризуется видом v_i , номерами групп входов φ_i и групп выходов z_i . Каждой дуге $p_i \sqcap p_j \in U$ ставится в соответствие функция связи

$$\mu_{ij} = f(v_i, z_i; v_j, \varphi_j). \quad (1)$$

Граф $G = (P, U)$ анализируемой схемы задается списком связей $p_i \sqcap p_j \in U$ с указанием функции связи μ_{ij} и полустепеней исхода $\alpha(p_i)$, и захода $\beta(p_j)$, соответствующих вершин связи. Граф $\alpha G' = (P', U')$ типовой структуры задается аналогично.

При решении задач структурного анализа рассматривается проблема идентификации графов. При этом более важной и более трудной является проблема тождественного вхождения графов. Известно, что решение подобных задач связано с большим числом переборных, которое с увеличением числа вершин n в графе растет так быстро, что даже для сравнительно небольших n выходит за границы возможностей современных ЭВМ [2]. Для рассматриваемых схем граф G содержит сотни вершин и поэтому полный перебор не представляется возможным. Однако ряд особенностей рассматриваемых графов (число дуг сравнимо с числом вершин; большое разнообразие видов вершин и номеров групп, значений полустепеней исхода и захода вершин) способствует сокращению числа переборных и дает возможность построить весьма эффективные алгоритмы решения задач идентификации графов при структурном анализе схем.

Структурный анализ исследуемой выборки схем осуществляется в три этапа. На первом этапе в схемах выделяются заведомо известные типовые структуры (ТС) — типовые узлы цифровых устройств в различных модификациях.

На втором этапе анализируются логически связанные элементы, не вошедшие в типовые узлы с целью определения характерных для анализируемой выборки логически связанных совокупностей модулей, именуемых в последующем устойчивыми сочетаниями.

Третий этап заключается в выделении среди элементов, не вошедших в типовые узлы, устойчивых сочетаний.

Процесс выделения графа $G' = (P', U')$ (типовой структуры) в графе $G = (P, U)$ (функциональной схеме) состоит в последовательной проверке дуг графов G' и G по условиям тождественности и эквивалентного дополнения. Две дуги $p_i \sqcap p_j \in U$ и $p_m \sqcap p_n \in U'$ тождественны, если справедливы условия:

$$\begin{aligned} \text{а) } & \mu_{ij} = \mu_{mn}; \\ \text{б) } & \alpha(p_m) \leq \alpha(p_i), \quad \beta(p_m) \leq \beta(p_i); \\ \text{в) } & \alpha(p_n) \leq \alpha(p_j), \quad \beta(p_n) \leq \beta(p_j). \end{aligned} \quad (2)$$

Дуга $p_i^{k+1} \sqcap p_j^{k+1}$ является эквивалентным дополнением к дуге $p_i^k \sqcap p_j^k$, по отношению к соответствующим дугам $p_m^{k+1} \sqcap p_n^{k+1}$ и $p_m^k \sqcap p_n^k$ графа G' , если выполняются следующие условия:

$$\text{а) } p_i^k = p_j^{k+1} \text{ при } p_m^k = p_n^{k+1};$$

$$\begin{aligned}
 \text{б) } p_i^k &= p_i^{k+1} \text{ при } p_m^k = p_m^{k+1}; \\
 \text{в) } p_j^k &= p_j^{k+1} \text{ при } p_n^k = p_n^{k+1}; \\
 \text{г) } p_j^k &= p_j^{k+1} \text{ при } p_n^k = p_n^{k+1}.
 \end{aligned}
 \tag{3}$$

Здесь $k=1, 2 \dots, h$ — порядковые номера дуг последовательности, в которой они выделяются в графах G' и G .

Алгоритм выделения графа G' построен таким образом, что предварительно в графе G выделяется дуга, удовлетворяющая условию (2) для некоторой k -й (исходной) дуги графа G' . После этого производится проверка, содержит ли граф G подграф с выделенной дугой, тождественный графу G' . Такая проверка производится последовательным присоединением к исходной дуге дуг графа G' с одновременным поиском для каждой из них дуги в графе G , удовлетворяющей условиям (2), (3). Если такой граф находится, то его дуги запоминаются, а в графе G выделяется вторая дуга, удовлетворяющая условию (2) для исходной дуги графа G' , и производится вышеуказанная проверка на наличие подграфа. Если подграф не выделяется, то процесс выделения продолжается так же, как и в случае его выделения.

Если в процессе выделения дуг графа G' в графе G достигнуть последней h -й дуги не удастся, то делается так называемый обратный ход — дуга графа G , выделенная на предыдущем шаге, исключается из рассмотрения, а взамен ее ищется другая и производится попытка достигнуть h -ю дугу уже через вновь выделенную дугу. Поиск продолжается до тех пор, пока не будут просмотрены все дуги графа G , удовлетворяющие условию (2) для исходной дуги графа G' . Это означает, что граф G не содержит подграф с дугой, удовлетворяющей условию (2) для исходной дуги графа G' , тождественный графу G' .

Частичный подграф $G^0 = (P^0, U^0)$, полученный после выделения в графе непересекающихся подграфов типовых структур, анализируется с целью выделения в нем всего множества связанных подграфов G_i^f (индекс f указывает на то, что i -й подграф содержит f дуг) и разбиения его на группы тождественных графов. По результатам схем, на основе которых определяется перечень устойчивых сочетаний, и производится их выделение в частичных подграфах всех схем выборки по алгоритму выделения ТС.

Устойчивые сочетания, частота использования которых в анализируемой выборке схем превышает некоторое установленное число, принимаются в качестве ТС и наряду с ранее выделенными ТС (типовыми узлами цифровых устройств) ложатся в основу проектирования УНБ.

Задача формирования блоков набора рассматривается как задача рационального объединения нескольких ТС в блок при условии, что его конструктивные параметры представлены следующими данными:

Q — максимальное число модулей, которое может содержать блок;

F — максимальное количество контактов разъема блока, которое может быть использовано при распайке входов и выходов ТС, включенных в блок.

Информацию о частоте использования ТС в анализируемой выборке схем можно представить матрицей $A = \|a_{si}\| \sigma \times \omega$, где σ — количество схем в анализируемой выборке, ω — количество видов ТС, полученных в результате структурного анализа. Элемент a_{si} матрицы A характеризует число ТС i -го вида в s -й схеме. Для каждой ТС известно также:

q_i — количество элементов, составляющих ТС i -го вида;

f_i — количество контактов, необходимых для распайки входов и выходов ТС i -го вида.

Формирование блоков унифицированного набора должно отвечать двум основным требованиям. Каждый блок унифицированного набора должен содержать такую комбинацию ТС, которая часто встречается в анализируемой выборке схем. Этим достигается высокая применимость данного блока при покрытии функциональных схем и в то же время максимальное использование содержащихся в нем ТС. Второе требование состоит в максимальном замолнении блока модуляции. При формировании блока из ТС возникает задача покрытия логических элементов ТС блока минимальным числом модулей.

Представим информацию об элементах, содержащихся в модулях *, в виде матрицы $A = \|a_{ij}\|_{m \times n}$, где m — количество видов элементов, содержащихся в модулях; n — количество видов модулей. Элемент a_{ij} матрицы A характеризует количество элементов i -го вида в j -м модуле. Введем вектор-столбец $B = \{b_1, b_2, \dots, b_m\}$, составляющие которого b_i характеризуют количество элементов i -го вида в рассматриваемой схеме блока. Определим переменную x_j , как количество модулей j -го вида, необходимых для покрытия элементов ТС блока.

В принятых обозначениях задача минимизации числа модулей при покрытии элементов блока может быть записана в следующем виде:

$$\min Z = \sum_{j=1}^n x_j; \quad (4)$$

при

$$\sum_{j=1}^n a_{ij} x_j \geq b_i, \quad i=1, 2, \dots, m; \quad (5)$$

$$x_j \geq 0, \quad j=1, 2, \dots, n; \quad (6)$$

$$x_j — \text{целое для всех } j=1, 2, \dots, n. \quad (7)$$

Для решения задачи (4) ÷ (7) с предварительным сокращением ее размерности может быть использован алгоритм, предложенный в работе [3]. Значение целевой функции Z_l^* , полученное при решении задачи (4) ÷ (7) для l -го блока, не должно превышать величины Q .

Оценка качества заполнения l -го блока после решения задачи (4) ÷ (7) осуществляется по коэффициенту заполнения K_l , который определяется по формуле

$$K_l = \frac{Z_l^*}{Q}. \quad (8)$$

Для определения комбинаций ТС, которые часто встречаются в анализируемой выборке схем, необходимо ввести оценку «связности» между ТС. При наличии такой оценки задача формирования блока сводится к выбору наиболее связанной совокупности ТС, удовлетворяющей ограничениям на конструктивные параметры блока.

Оценка связи между ТС осуществляется по матрице $A' = \|a'_{si}\|_{s \times n}$, полученной в результате преобразования матрицы A . Процесс преобразования производится для «сглаживания» пиковых значений элементов матрицы A , которые не являются характерными для всей выборки схем, а встречаются в отдельных схемах и могут быть реализованы блоками, содержащими ТС одного вида. Элементы a'_{si} определяются из условия

* Рассматривается определенная серия интегральных схем (модулей), на которой реализуются анализируемые схемы.

$$0 \leq a_{si} = (a_{si} - kh) < h_i, \quad (9)$$

где

h_i — максимальное число ТС i -го вида, которое может быть включено в один блок,

$K=1, 2, \dots$ — целое число.

Величина h_i — определяется из условий:

$$\text{а) } Z_{h_i}^* \leq Q; \quad \text{б) } h_i \leq \frac{F}{f_i} \text{ (ц. ч.).} \quad (10)$$

Количество ТС j -го вида, используемых в каждой из схем выборки, представляет собой случайную величину. Значения j -й случайной величины на выборке σ представлены столбцом A_j матрицы A' . Известно, что одним из важнейших показателей оценки связи между двумя случайными величинами является коэффициент корреляции r_{ij} [4]. Наличие корреляции между i -й и j -й ТС в данном случае указывает на то, что появление в схеме i -й ТС влечет с некоторой вероятностью появление j -й ТС. Такие ТС часто связаны непосредственно логическими связями, которые могут быть выявлены в процессе структурного анализа и использованы при распределении ТС по блокам унифицированного набора [5]. Коэффициенты корреляции формируются в матрицу $R = \|r_{ij}\|_{\omega \times \omega}$. Оценка приоритета одной пары ТС по сравнению с другой по одним лишь коэффициентам корреляции является недостаточной. Покажем это на примере данных о частоте использования двух пар ТС в выборке из пяти схем

$$\text{а) } \begin{array}{c|c|c|c|c} A_i & 0 & 1 & 2 & 1 \\ \hline A_j & 0 & 1 & 2 & 1 \end{array} \quad \text{б) } \begin{array}{c|c|c|c|c} A_i & 0 & 3 & 2 & 4 \\ \hline A_j & 0 & 3 & 2 & 4 \end{array}.$$

Для обеих пар $r_{ij} = 1$, однако блок, содержащий пару ТС (а), при покрытии схем будет использован пять раз, а блок, содержащий ТС пары (б), будет использован двенадцать раз. Разумеется, что с этой точки зрения при формировании блоков предпочтение следует отдать паре (б). Для сравнения пар ТС по данному условию строится матрица частот одновременного использования в выборке схем каждой пары ТС $Q = \|q_{ij}\|_{\omega \times \omega}$. Элемент q_{ij} матрицы Q определяется по формуле

$$q_{ij} = \sum_{s=1}^{\sigma} q_{ijs}, \quad q_{iis} = \min \{a'_{si}, a'_{sj}\}. \quad (11)$$

По матрицам R и Q строится взвешенная матрица $Z = \|z_{ij}\|_{\omega \times \omega}$, определяющая единую оценку связи между ТС:

$$r_{ij} = \beta_r r'_{ij} + \beta_q q'_{ij}, \quad \beta_r + \beta_q = 1, \quad (12)$$

где

r'_{ij}, q'_{ij} — элементы нормированных матриц R' и Q' ,

β_r, β_q — весовые коэффициенты, характеризующие степень влияния элементов матриц R' и Q' на соответствующий элемент матрицы Z .

Для определения оптимальных значений весовых коэффициентов β_r и β_q анализируется функция $K_n = f(\beta_r, \beta_q)$, где K_n — коэффициент использования, подсчитанный для набора блоков при покрытии схем анализируемой выборки. Исследования показали, что эта функция унимодальна, поэтому для нахождения $\max K$ может быть использован метод Кифера-Джонсона [6]. Коэффициенты β_r и β_q , соответствующие $\max K_n$, являются оптимальными.

Формирование блоков набора осуществляется на основе матрицы Z путем отыскания наиболее связанной совокупности ТС t , удовлетворяющей условиям,

$$\text{а) } Z_t^* \leq Q, \quad \text{б) } \sum_{i \in t} f_i \leq F, \quad (13)$$

где Z_t^* — значение целевой функции, полученной при решении задачи (4) ÷ (7) для совокупности t .

Частота, с которой j -я ТС должна встречаться в блоках набора, определяется по формуле

$$\gamma_j = \frac{\gamma \sum_{s=1}^{\sigma} a'_{si}}{\min \sum_{s=1}^{\sigma} a'_{si}} \quad (\text{ц. ч.}), \quad (14)$$

где γ — частота использования в блоках набора ТС с минимальной частотой использования в выборке схем. Значение величины γ определяет количество блоков в наборе. С увеличением γ число блоков в наборе увеличивается.

Набор блоков, сформированный по вышеизложенному методу, содержит все виды ТС и, следовательно, способен покрыть любую функциональную схему заданного класса, представленную совокупностью выделенных в ней ТС. При этом для конкретного набора получается свое значение коэффициента использования K_n . Величина коэффициента K_n зависит от числа типов блоков в наборе H , от качества решения задачи покрытия схем, а также от того, насколько рациональными оказались комбинации ТС, образующие соответствующие блоки. Если предположить, что задача покрытия решена оптимально, а алгоритм формирования блоков позволяет получить наиболее рациональные комбинации ТС с точки зрения максимума вероятности их совместного использования при покрытии схем, то коэффициент K_n будет зависеть только от величины набора H .

Повышение коэффициента K_n может быть достигнуто за счет увеличения числа типов блоков в наборе, то есть требования $\max K_n$ и $\min H$ являются противоречивыми. Это свидетельствует о необходимости проведения специального исследования с тем, чтобы выбрать рациональное количество блоков в наборе как с технической, так и экономической точек зрения.

Уменьшение коэффициента K_n и увеличение числа блоков в наборе H приводит к росту экономических затрат Z на стадии проектирования вычислительных устройств, а также при создании унифицированного набора блоков. Для определения оптимальных значений K_n и H необходимо найти минимум функции $Z = f(K_n, H)$. Получить аналитическое выражение данной функции не представляется возможным. Экспериментальное построение ее возможно путем определения трех функций: $Z_k = f(K_n)$, $Z_n = f(H)$, $K_n = f(H)$, где Z_k — дополнительные экономические затраты, возникающие вследствие отклонения коэффициента K_n от единицы; Z_n — дополнительные экономические затраты, возникающие за счет увеличения числа блоков в наборе в процессе его создания и использования.

Функция $Z_k = f(K_n)$ строится в предположении, что $Z_k = f(K_n = 1) = 0$ и вычисляется для значений K_n , изменяющихся в диапазоне от 1 до 0. При построении функций $Z_n = f(H)$ учитываются только дополнительные затраты, возникающие при построении нового блока. Необходимо заметить, что значение функции Z_k отражает абсолютную

величину затрат, возникающих при снижении K_n , и поэтому зависит от общего числа блоков набора, используемых в вычислительном комплексе. В связи с этим оптимальное количество блоков в наборе может быть найдено только относительно некоторого фиксированного по объему количества блоков набора, используемого для покрытия анализируемой выборки схем, так как с изменением этого объема минимум функции Z будет смещаться в сторону возрастания величины H .

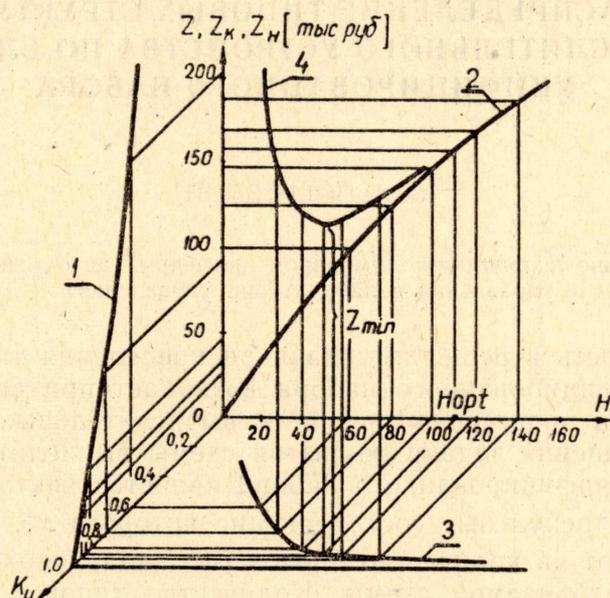


Рис. 1. 1 — функция $Z_k = f(K_n)$; 2 — функция $Z_n = f(H)$; 3 — функция $K_n = f(H)$; 4 — функция $Z = f(K_n, H)$

Функция $K_n = f(H)$ строится по экспериментальным данным, полученным для нескольких вариантов набора блоков с различными значениями величины H . Коэффициент K_n определяется для каждого варианта по результатам решения задачи покрытия схем выборки σ блоками соответствующего варианта.

Построение функции общих затрат $Z = f(K_n, H)$ по известным функциям $Z_k = f(K_n)$, $Z_n = f(H)$ и $K_n = f(H)$, полученным при проектировании УНБ для реального вычислительного комплекса, показано на рис. 1.

Набор блоков с $H_{opt} = 110$, соответствующий значению Z_{min} , принимается в качестве унифицированного набора.

ЛИТЕРАТУРА

1. Автоматизация проектирования вычислительных устройств на элементах интегральной микроэлектроники. Отчет по НИР, Томск, ТПИ, 1972.
2. А. А. Зыков. Теория конечных графов. Новосибирск, «Наука», 1969.
3. В. К. Погребной. Покрытие схем вычислительных устройств блоками унифицированного набора. «Изв. ТПИ», т. 211. Томск, 1970.
4. Е. И. Пустыльник. Статистические методы анализа и обработки наблюдений. М., «Наука», 1968.
5. В. К. Погребной. Распределение типовых структур вычислительного устройства по блокам унифицированного набора. Статья в настоящем сборнике.
6. Л. С. Гурин, Я. С. Дымарский, А. Д. Меркулов. Задачи и методы оптимального распределения ресурсов. М., «Советское радио», 1968.