

## ЭЛЕКТРОННЫЕ СХЕМЫ ЯДЕРНОЙ СПЕКТРОСКОПИИ ВЫСОКОЙ ЭФФЕКТИВНОСТИ

В. А. АВДЕЕВ, В. М. КУЗНЕЦОВ

(Представлена научно-техническим семинаром лаборатории  
высоких энергий НИИ ЯФ)

Разработанный комплекс электронных схем ядерной спектроскопии включает ряд пересчетных устройств и логических элементов высокого временного разрешения.

### I. Быстродействующие пересчетные устройства

Пересчетное устройство с цепочками туннельных диодов

Известные пересчетные устройства (триггеры) с цепочкой туннельных диодов имеют ряд недостатков, ограничивающих возможности их применения. К ним относятся жесткие требования к стабильности источников питания и допускам на разброс параметров элементов, а также недостаточно высокое быстродействие, особенно при коэффициентах пересчета больше трех. С другой стороны, простота построения этих схем объясняет стремление их практического использования.

Перечисленные выше недостатки в определенной мере можно устранить, используя в триггере (рис. 1) параллельное включение не-

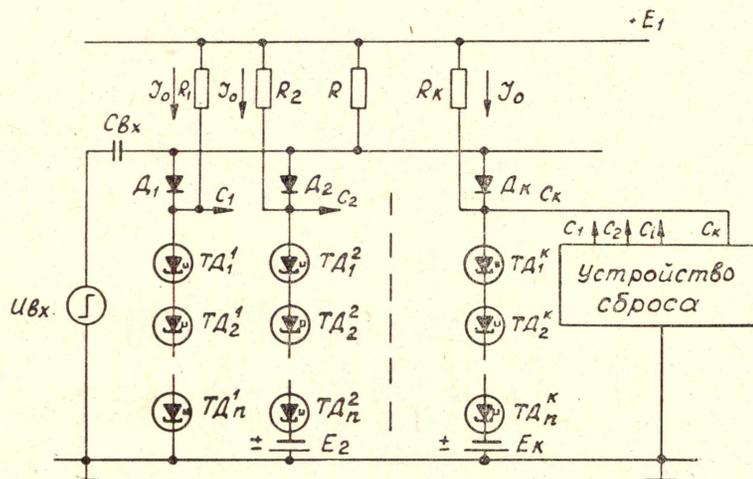


Рис. 1.

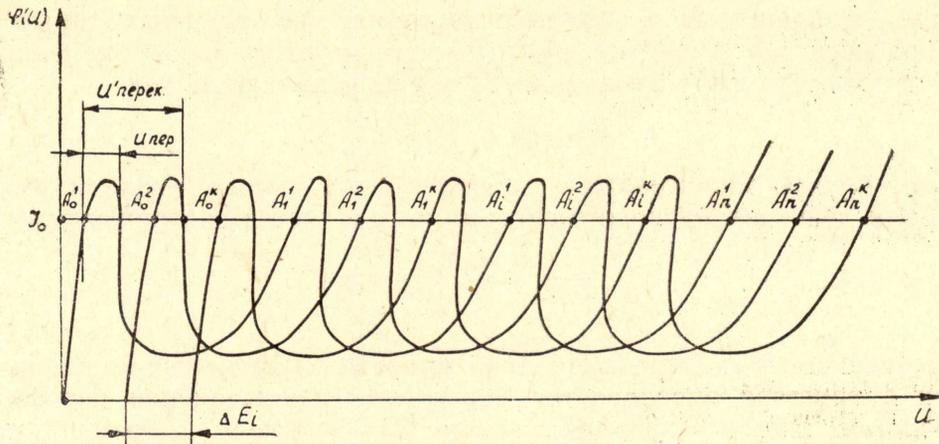


Рис. 2.

скольких цепочек туннельных диодов [1] ( $\text{ТД}_1^1 \div \text{ТД}_n^1$  —  $i$ -я цепочка). Статическая характеристика каждой цепочки рис. 2 имеет  $p$  пиков, причем характеристика  $i$ -й цепочки смещена по напряжению относительно характеристик  $i - 1$  цепочки на величину

$$\Delta E_k = \frac{U_3 - U_1}{k}, \quad (1)$$

где  $U_1, U_3$  — параметры вольтамперной характеристики туннельного диода,

$k$  — количество цепочек в триггере.

Через туннельные диоды цепочек задан ток  $I_0$  прямого направления, лежащий в пределах

$$I_{2 \max} < I_0 < I_{1 \min}, \quad (2)$$

где  $I_{1 \min}, I_{2 \max}$  — параметры вольтамперной характеристики туннельного диода с учетом их разбросов.

Поэтому каждая цепочка имеет  $(p+1)$  устойчивых состояний  $A_0^1 \div A_n^1$  ( $p$  — количество туннельных диодов в цепочке), а вся система в целом  $k \cdot p + 1$  устойчивых состояний  $A_0^1 \div A_n^k$ . Спусковой сигнал поступает на цепочки через входную емкость  $C_{\text{вх}}$  и диодный переключатель  $D_1 + D_k$ , который, осуществляя статическую развязку цепочек, обеспечивает в момент прихода спускового сигнала разность порогов цепочки по напряжению, необходимую для их поочередного переключения.

В исходном состоянии триггера (состояния всех цепочек  $A_0^1$ ) порог по напряжению первой цепочки для пускового сигнала  $U_{\text{вх}}$  наименьший, так как вольтамперные характеристики остальных цепочек смещены по напряжению относительно первой на величину э. д. с.  $E_1$

$$E_1 = (i-1) \Delta E_k. \quad (3)$$

Поэтому при поступлении входного импульса определенной длительности (большей времени переключения одной цепочки, но меньшей времени переключения двух цепочек) происходит переключение туннельного диода первой цепочки. Триггер переходит в состояние  $A_0^2$ . При поступлении следующих импульсов происходит поочередное переключение остальных цепочек в состояние  $A_0^1$ . После переключения  $k$ -й цепочки в  $A_0^k$ -состояние начнется следующий цикл переключения цепочек в состояния  $A_1^1$  последовательно с первой по  $k$ -ю цепочки; затем начнется новый цикл переключения в состоянии  $A_2^1$  и т. д. При переключении триггера в состояние  $A_n^k$  срабатывает устройство сброса и вся

система возвращается в исходное состояние  $A_0^1$ . Количественный анализ процесса переключения показывает, что оптимальные значения амплитуд входных импульсов (при  $K \geq 2$ ) определяются как

$$U_{\text{вх. опт}} \approx U_3 - U_1. \quad (4)$$

В этом случае максимальное значение тока заряда входной емкости во время действия пускового сигнала определяется соотношением

$$I_{\text{с макс}} \approx \frac{K+1}{2} (I_0 - I_2). \quad (5)$$

Возрастанием тока заряда входной емкости с увеличением числа цепочек в триггере определяется повышение разрешающей способности устройства. Для коэффициента (модуля) пересчета и времени разрешения триггера при запуске его короткими импульсами, получены соотношения:

$$K \cdot n \leq \frac{1 - \delta t_{\text{и}}}{2\delta t_{\text{и}}} \cdot \frac{U_{3 \text{ мин}} - U_{1 \text{ макс}}}{U_{1 \text{ макс}}} \cdot \frac{I_{1 \text{ макс}}}{I_{1 \text{ макс}} - I_{0 \text{ мин}}}, \quad (6)$$

$$T_{\text{разр}} = \frac{(1,5 \div 2) C_{\text{вх}} (U_3 - U_1)}{K (I_0 - I_2)} \left[ 1 + (K - 1) \frac{C_{\text{тд}}}{C_{\text{вх}}} - \frac{2K^2 \cdot U_{\text{пер}}}{(K + 1) (U_3 - U_1)} \right], \quad (7)$$

где  $\delta t_{\text{и}}$  — относительный диапазон длительности входных импульсов;

$U_1, U_{1 \text{ мин}}, U_3, U_{3 \text{ мин}}, I_2, I_{1 \text{ макс}}$  — параметры туннельных диодов с учетом возможных их отключений;

$I_0, I_{0 \text{ мин}}$  — ток смещения цепочек туннельных диодов;

$$U_{\text{перех}} \approx n \cdot U_{1 \text{ макс}} \cdot \frac{I_{1 \text{ макс}} - I_{0 \text{ мин}}}{I_{1 \text{ макс}}}. \quad (8)$$

Сравнительный анализ выражений (6) и (7) с аналогичными соотношениями для триггера с одной цепочкой

$$n \leq \frac{1 - \delta_{\text{вх}}}{1 + \delta_{\text{вх}}} \cdot \frac{I_{1 \text{ макс}}}{I_{1 \text{ макс}} - I_{0 \text{ мин}}} \cdot \frac{U_{3 \text{ мин}} - U_{1 \text{ макс}} - U_{\text{перек}}}{U_{1 \text{ макс}}}, \quad (9)$$

$$T_{\text{разр}} = \frac{(1,5 \div 2) C_{\text{вх}} (U_3 - U_1)}{I_0 - I_2} \quad (10)$$

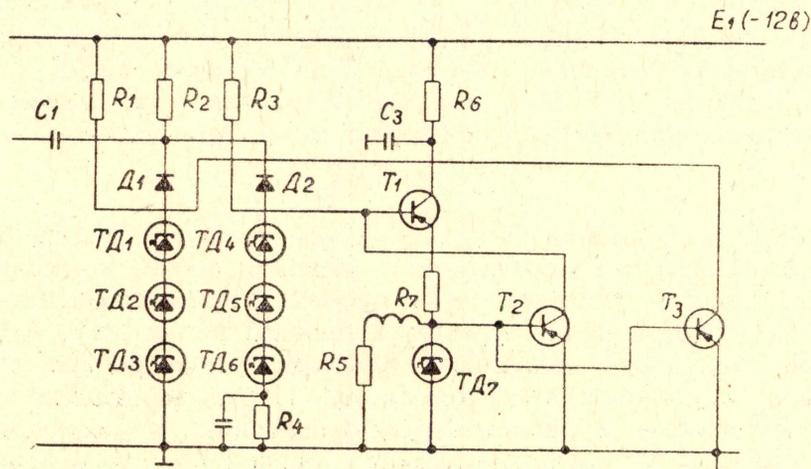


Рис. 3.

показывает, что при одних и тех же допусках на параметры схемы и входных сигналов для допустимых значений модуля пересчета получается практически двойной выигрыш. Быстродействие (уменьшение времени разрешения) триггера растет примерно пропорционально числу цепочек  $K$ . Практически целесообразно использовать триггеры с двумя, тремя цепочками, дальнейшее увеличение числа цепочек связано с определенными усложнением устройства сброса. На рис. 3 приведена принципиальная схема устройства с двумя цепочками туннельных диодов. Модуль пересчета схемы можно менять (изменением порога устройства сброса) от 1 до 6. Время разрешения триггера  $\sim 70$  нс.

#### Пересчетное устройство с триггером коммутации порога сброса

На рис. 4 приведена блок-схема пересчетного устройства накопительного типа с дополнительным триггером (3) (счетчики циклов) коммутации порога устройства сброса (2) [2]. Принцип устройства накопительного типа состоит, как известно, в циклическом заполнении на-

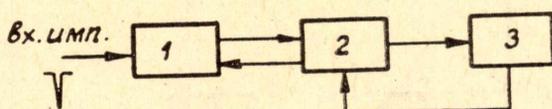


Рис. 4.

копителя (1) до уровня порога устройства сброса (2) с последующим сбросом накопителя в исходное состояние при превышении в нем заданного уровня накопленной информации. Основным недостатком пересчетных устройств этого типа являются ограниченные (низкие) значения модулей пересчета. При линейном характере накопления для коэффициента пересчета имеется ограничение

$$n \leq \frac{1 + (\delta A + \delta \Pi)}{2(\delta A + \delta \Pi)}, \quad (1)$$

где  $\delta A$ ,  $\delta \Pi$  — относительные допуски на амплитуду входных сигналов и уровень порога устройства сброса, соответственно.

Для экспоненциального характера накопления аналогичное ограничение имеет вид

$$n \leq 1 + \frac{\ln k'}{\ln \left( 1 - \frac{2\delta}{k'} \right) - \ln (1 - 2\delta)}, \quad (2)$$

где  $k'$  — динамический диапазон амплитуд экспоненциально изменяющихся в процессе накопления входных импульсов,

$\delta$  — суммарный относительный допуск амплитуды входного сигнала и порога устройства сброса.

Практически при  $\delta = \delta A + \delta \Pi = 0,2$  и  $k' = 10$  из выражений (1) и (2) для  $n$  — получаем соответственно значения  $n \leq 3$ ,  $n \leq 5,5$ . Таким образом, даже в случае использования нелинейного процесса накопления допустимые значения модулей пересчета остаются недостаточно высокими. Кроме того, реализация экспоненциального характера накопления, в особенности при высоких значениях  $k'$ , на практике сталкивается с большими трудностями. К числу принципиальных достоинств этого метода пересчета по сравнению с другими относится высокая разрешающая способность. Это достоинство определяется тем, что процесс накопления может протекать и непрерывно.

Применение в устройстве рис. 4 дополнительного триггера коммутации (3) порога устройства сброса (2) дает возможность получать любые коэффициенты пересчета в соответствии с соотношением

$$n = \sum_{i=0}^m p_i, \quad (3)$$

где  $p_i$  — коэффициент пересчета накопителя  $i$ -го цикла пересчета,  $m$  — модуль пересчета триггера коммутации.

В частном случае, когда счетчик циклов не изменяет порог устройства сброса, а следовательно, и модуль пересчета накопителя  $p_i$ , коэффициент пересчета определяется простым произведением

$$n = m \cdot p_i. \quad (4)$$

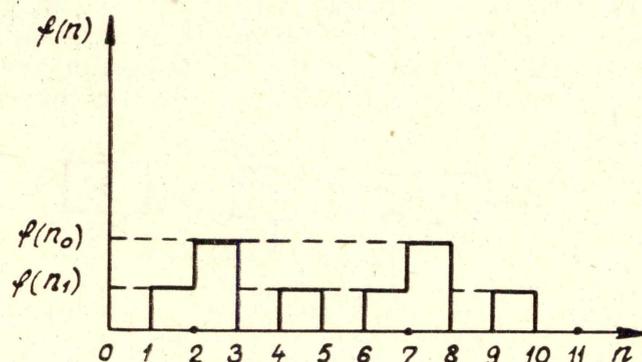


Рис. 5.

Принцип работы устройства поясняется временными диаграммами рис. 5. Диаграммы приведены для частного случая, когда триггер коммутации (счетчик циклов) имеет всего два устойчивых состояния  $A_0$ ,  $A_1$ . Исходному состоянию  $A_0$  триггера коммутации соответствует (на диаграмме) модуль пересчета накопителя  $p_0=3$ , а состоянию  $A_1$  триггера коммутации  $p_1=2$ . При поступлении на вход устройства первых трех импульсов срабатывает устройство сброса, накопитель возвращается в исходное состояние, а счетчик циклов переключается в состояние  $A_1$ . Переключение счетчика (3) в состоянии  $A_1$  приводит к изменению порога устройства сброса, а следовательно, и модуля пересчета накопления с трех на два. Теперь при поступлении следующих, уже двух импульсов вновь срабатывает устройство сброса. Накопитель, счетчик циклов, а следовательно, и все устройство возвращается в исходное состояние. Далее процесс циклически повторяется. Модуль пересчета всего устройства для рассмотренного триггера равен сумме двух циклов пересчета накопителя

$$n = p_0 + p_1 = 5.$$

Очевидно, что суммарный допуск на амплитуду входных сигналов и разброс параметров элементов схемы определяется для модуля пересчета  $p_0$  накопителя. Быстродействие пересчетного устройства определяется, в первую очередь, быстродействием накопителя и устройства сброса. Счетчик циклов может иметь быстродействие в  $p_{1 \text{ мин}}$  (для рассматриваемого примера —  $p_{1 \text{ мин}} = p_1 = 2$ ) раз меньшее остальных функциональных узлов схемы, так как процесс изменения порога протекает параллельно с процессом заполнения накопителя. Метод коммутации порога устройства сброса применен, в частности, для повышения модуля пересчета триггера с цепочками туннельных диодов, рис. 6 [3].

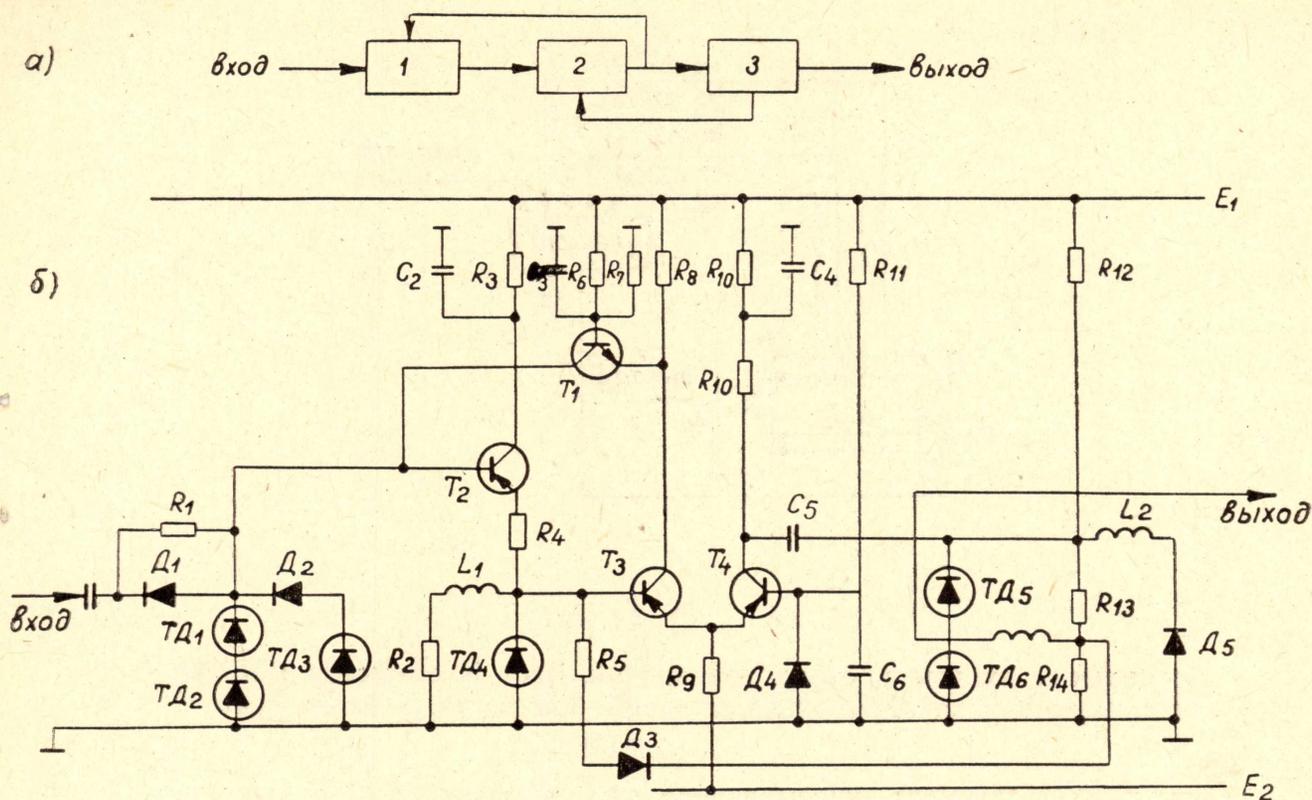


Рис. 6.

## II. Логический элемент высокого временного разрешения

В настоящее время известен ряд быстродействующих схем совпадений высокого временного разрешения. Из них особый интерес представляет дифференциальная схема совпадений. Она принципиально отличается от всех других схем тем, что ее разрешающее время может быть меньше длительности регистрируемых импульсов. Для схем других типов разрешающее время определяется, как известно, длительностью импульсов на входах каналов элемента отбора и не может быть меньше этой длительности.

Предложенный 3. Беем [4] принцип построения схемы двойных совпадений дифференциального типа был применен нами при синтезе многоканальной дифференциальной схемы совпадений. На рис. 7 приведена функциональная схема многоканальной схемы совпадений дифференциального типа. Она включает обычную схему совпадений «И» и логический элемент «НЕ-ИЛИ». Логические функции обоих элементов записываются как

$$f_1(a_1, a_2, \dots, a_n) = a_1 \cdot a_2 \cdot \dots \cdot a_n, \quad (1)$$

$$f_2(b_1, b_2, \dots, b_n) = b_1 \vee b_2 \vee \dots \vee b_n, \quad (2)$$

где  $a_k, b_k$  — двоичные переменные входов схемы совпадений и элемента «НЕ-ИЛИ» соответственно.

Входы  $a_1 \div a_{n-1}$  схемы совпадений «И» соединены через линии задержки  $L_3(t_3)$  со входами  $b_1 \div b_{n-1}$  элемента «НЕ-ИЛИ», выход «НЕ-ИЛИ»

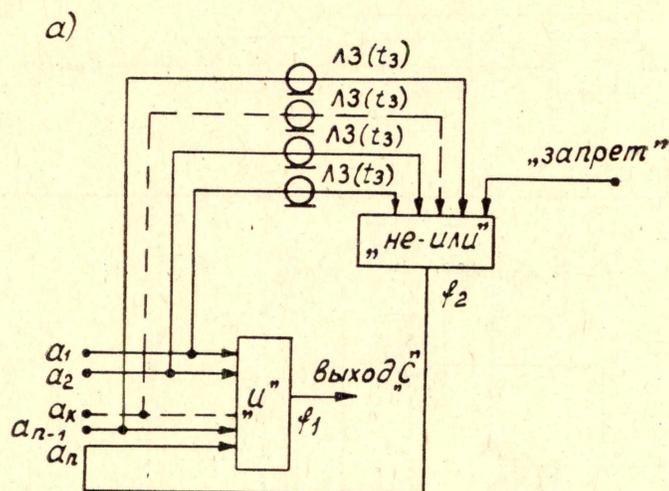


Рис. 7.

соединен со входом  $a_n$  схемы совпадений. Вход  $b_n$  элемента «НЕ-ИЛИ» используется в качестве входа внешнего «запрета». Учитывая, что

$$b_k = a_k(t - t_3), \quad (3)$$

где  $t - t_3$  — аргумент, указывающий на запаздывание двоичных переменных входов  $b_k$  относительно переменных входов  $a_k$ , для логических функций  $f_1(a_1 \dots a_n)$ ,  $f_2(b_1 \dots b_n)$ , получили следующие выражения:

$$\underline{f_2}(b_1, \dots, b_n) \equiv a_n = \bar{a}_1(t - t_3) \vee \bar{a}_2(t - t_3) \vee \dots \vee \bar{a}_{n-1}(t - t_3) \vee \bar{b}_n, \quad (4)$$

$$\underline{f_1}(a_1 \dots a_n) = a_1 \cdot a_2 \dots a_{n-1} \cdot [\bar{a}_1((t - t_3) \vee \bar{a}_2(t - t_3) \vee \dots \vee \bar{a}_{n-1}(t - t_3) \vee \bar{b}_n)]. \quad (5)$$

Из выражения (5) следует, что временному совпадению входных сигналов  $a_1 \div a_{n-1}$  при отсутствии сигнала на входе внешнего «запрета»  $b_n$  соответствует появление сигнала на выходе схемы. Если же хотя бы один из входных сигналов  $a_1 \div a_{n-1}$  поступит относительно сигналов других входов с задержкой большей, чем  $t_3$ , задержка линий ЛЗ( $t_3$ ), то сигнал с элемента «НЕ-ИЛИ» осуществит операцию «запрет» и на выходе «С» сигнал будет отсутствовать.

Таким образом, временное разрешение схемы определяется величиной задержки  $t_3$  линий ЛЗ( $t_3$ ), а не длительностью входных сигналов, как в случае обычной схемы.

На рис. 3 приведена принципиальная схема тройных совпадений с каналом внешнего «запрета» ( $n=4$ ), построенная на рассмотренных выше принципах. Функциональный элемент «И» выполнен на транзисторном токовом переключателе  $T_1 \div T_4$  [5]. Второй транзисторный токовый переключатель  $T_9 \div T_{13}$  совместно с транзистором связи  $T_{14}$  осуществляет операцию «НЕ-ИЛИ» [6]. Транзистор связи  $T_{14}$  служит для потенциального согласования уровней входных и выходных сигналов схемы совпадений «И» и элемента «НЕ-ИЛИ». Остальные элементы схемы образуют пороговый дискриминатор-формирователь  $T_5 \div T_8$ .

Рассмотренная схема позволяет регистрировать совпадения и большего, чем три, числа входных сигналов, в этом случае количество транзисторов во входных токовых переключателях элементов «И» и «НЕ-ИЛИ» увеличивается до числа требуемых входов.

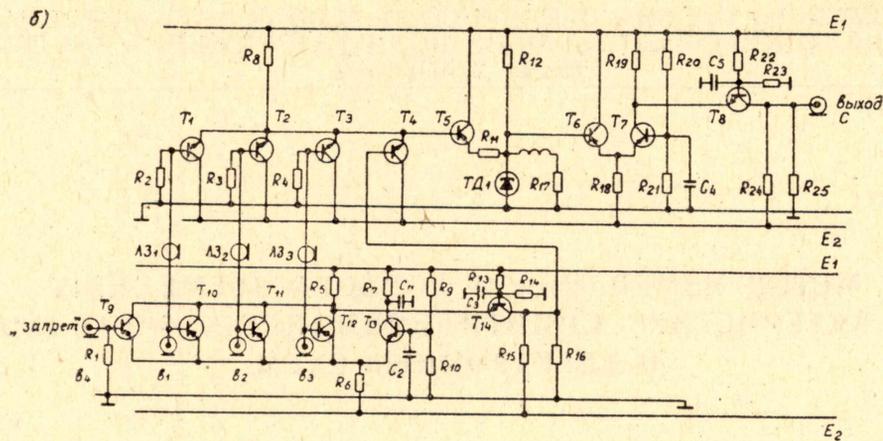


Рис. 8.

На рис. 9, а, б приведены зависимости временного разрешения схемы от амплитуды входных импульсов для двух случаев: а) порог канала «запрета» выше порога канала совпадений, б) порог канала «запрета» ниже порога канала совпадений. Для сравнения на тех же графиках (штриховой линией) приведена зависимость временного разрешения той же схемы при отключенном канале «НЕ-ИЛИ» (обычная

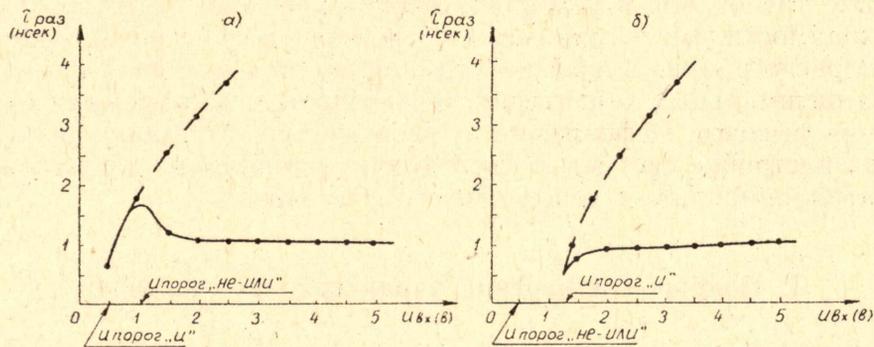


Рис. 9.

схема совпадения). Из вида кривых для дифференциальной схемы совпадений следует, что, начиная с напряжений входных сигналов, больших порога канала «запрета», наблюдается слабая зависимость временного разрешения схемы от амплитуды входных сигналов. Это свойство дифференциальной схемы обеспечивает ей широкие возможности применения в тех случаях, когда требуются малые значения и высокая стабильность временного разрешения.

#### ЛИТЕРАТУРА

1. В. А. Авдеев, В. С. Соловьев. Авторское свидетельство № 275137. Бюллетень изобретений и открытий, **22**, (1970).
2. В. А. Авдеев. Авторское свидетельство № 291342. Бюллетень изобретений и открытий, **3** (1971).
3. В. А. Авдеев, В. М. Кузнецов. «Приборы и техника эксперимента», **6**, 67 (1970).
4. Z. Baу. Phys. Rev. **83**, 242, (1951).
5. В. А. Авдеев, В. М. Кузнецов. «Приборы и техника эксперимента», **3**, 86 (1971).
6. В. А. Авдеев. Авторское свидетельство № 311402. Бюллетень изобретений и открытий, **24** (1971).