

**ФОРМАЛИЗОВАННОЕ ОПИСАНИЕ ЦИФРОВОГО УСТРОЙСТВА
И ЕГО МОДЕЛЬ**

И. П. АБРАМОВ, Н. П. БАЙДА, Ю. М. КОМАРОВ, В. Б. ЛИПСКИЙ,
В. М. РАЗИН

(Представлена научным семинаром кафедры вычислительной техники)

Известные методы анализа [1, 2] цифровых устройств (ЦУ) используют представление объекта исследования в виде синхронной или асинхронной модели, что не всегда позволяет решать актуальные практические задачи, связанные с оценкой качества проектирования сложных ЦУ.

В настоящей работе рассматриваются вопросы исследования ЦУ импульсно-потенциальным асинхронным моделированием, что позволяет значительно расширить класс объектов исследования.

Основные определения

Прежде всего дадим определения логической сети, реализацией которой является ЦУ.

Назовем логической сетью множество элементов вместе с множеством соединений. Элементами сети являются (K, I) — полюсники — элементарные преобразователи дискретной информации. Соединением называется отождествление двух полюсов сети. Не могут быть соединены два выходных полюса элемента. В сети выделены множества X ее входных полюсов и y — выходных полюсов.

Переменные, приписанные входным полюсам сети, назовем ее входными переменными, выходным — выходные. Набор значений входных переменных сети назовем входным вектором, а набор значений выходных переменных — выходным вектором.

Нахождение последовательности выходных векторов, в которую сеть перерабатывает заданную последовательность входных векторов, называется моделированием сети.

Как отмечено в работе [2], все методы моделирования делятся на два класса: двоичное и троичное моделирование, каждое из которых, в свою очередь, может быть либо синхронным, либо асинхронным. С помощью выбранного моделирования можно полностью исследовать объект, переработав все возможные последовательности входных векторов в последовательности выходных векторов. Можно исследовать объект частично, переработав в выходные определенное число входных последовательностей, выбираемых вероятностным образом.

В настоящей работе рассматривается метод двоичного асинхронного моделирования. Такой метод позволяет моделировать наиболее широкий класс объектов, в том числе и импульсно-потенциальные.

Моделирование переходного процесса

Назовем переходным процессом процесс, протекающий в сети за промежуток времени, заключенный между моментом входного вектора сети и моментом получения нового (устойчивого) выходного вектора.

Моделирование переходного процесса означает получение порядка и результатов срабатывания элементов за время переходного процесса.

Пусть $r(\alpha_i)$ — задержка элемента α_i . Пусть также α_j — элемент в сети с минимальной задержкой τ_0 . Тогда задержки элементов можно

условно выразить целыми числами $\left\lceil \frac{\tau(\alpha_i)}{\tau_0} \right\rceil$, $i = 1, 2, \dots$

Будем считать, что элемент сработал, если изменилось значение переменной, приписанной его выходному полюсу. Очевидно, что если элемент сработал, то найдется сработавший на $\tau(\alpha_i)$ раньше элемент α_k , выходной полюс которого соединен с одним из входных полюсов α_i .

В импульсно-потенциальных сетях импульсы представляются потенциальными сигналами длины 0,5.

Пусть A — множество элементов сети, которые должны сработать по истечении приписанных им задержек. Тогда алгоритм моделирования переходного процесса будет следующим:

1. Заносим в A элементы сети, которые должны сработать вследствие изменения значений входных переменных сети.

2. Если $A = \emptyset$, то переходим на шаг 4, иначе уменьшаем на 1 задержки всех элементов в A .

3. Ищем в A элементы с нулевой задержкой. Если их нет, то переходим на шаг 2, иначе меняем значения выходных переменных найденных элементов, удаляем их из A , после чего добавляем в элементы, которые должны сработать вследствие срабатывания удаленных элементов. Переходим на шаг 2.

4. Значения выходных переменных элементов, являющихся выходными переменными сети, образуют требуемый выходной вектор.

Следует отметить, что в A одновременно могут быть несколько одинаковых элементов, но с различными задержками.

Алгоритм представлен в виде программы на языке ЛЯПАС [3]. Программа работает с потенциальными и импульсно-потенциальными сетями, состоящими из элементов, реализующих функции И, ИЛИ, НЕ И, НЕ ИЛИ, сумма по модулю 2 и равнозначность переменных, приписанных их входным полюсом, а также элементов триггер на три входа, дифцепь $0 \rightarrow 1$, дифцепь $1 \rightarrow 0$ и задержка.

Представления информации в ЭВМ

Сеть в машине задается комплексом \underline{B} , разбитым на подкомплексы, пронумерованные числами $0, 1, \dots, n$; n — число элементов сети. Нулевой подкомплекс задает разбиение \underline{B} на подкомплексы так, что i -й элемент его задает начало i -го подкомплекса. Мощность нулевого подкомплекса равна $n + 2$. Последний элемент нулевого подкомплекса задает мощность комплекса \underline{B} . Первый подкомплекс комплекса \underline{B} задает входной полюс счетчика, если он имеется. Нумерация остальных элементов произвольна. j -й подкомплекс комплекса \underline{B} задает j -й элемент сети (входные полюса сети условно считаются элементами $(0, 1)$ — полюсниками). Первый элемент подкомплекса называется его шапкой, в первом разряде которой записано значение выходной переменной элемента. В разрядах с 8 по 16 записано численное значение задержки элемента, а с 17 по 22 — тип элемента, причем входной полюс имеет

тип 0, счетный вход — 1, дифцепь 1→0 — 2, дифцепь 0→1 — 3, НЕИ — 4, И — 5, НЕ ИЛИ — 6, ИЛИ — 7, сумма по модулю два — 10, равнозначность — 11, триггер — 12. Далее, под шапкой, в произвольном порядке перечисляются номера элементов, «питающих» данный элемент (в разрядах с 0 по 15). В подкомплексе, задающем триггер, первым указывается номер элемента, питающего единичный вход, вторым — счетный и третьим — нулевой вход. Недействующие входы триггера отмечаются нулями.

Множество A задается комплексом \underline{A} , состоящим из шапок соответствующих элементов.

Моделирование неисправной схемы — моднес

1. Дана сеть C , состоящая из ОС и СК. Требуется осуществить потенциально-импульсное асинхронное моделирование сети C , при наличии в последней неисправных элементов.

2. Внешние операнды:

$$\alpha_k : C,$$

β_n — конец рабочего поля,

задаются: a_α, b_α .

Подпрограммы: вход, неис, дубль, модель.

3. Моделирование сети осуществляется дважды. Первый раз моделируется исправная сеть. Запоминается правильное состояние. В сеть вносится исследуемая неисправность, после чего осуществляется моделирование неисправной сети.

4. * 054 001

$$\begin{aligned} \S 0 \quad & a_\alpha + b_\alpha \Rightarrow a_0 \beta - a_0 > 1 \Rightarrow a \\ & * \text{вход } \alpha A // 0c1 \Rightarrow d \neq \rightarrow 1 \quad 7 \Rightarrow b \neq \rightarrow 2 \\ & c < \Rightarrow \bar{d} \neq \rightarrow 1 \\ & * \text{неис } \alpha A // 5 \Rightarrow b \neq \rightarrow 2 \rightarrow 4 \end{aligned}$$

$$\S 1 \quad * \text{дубль } \overline{acd} // !$$

$$\S 2 \quad * \text{модель } \alpha \underline{A} 3ab // !$$

$$\S 3 \quad d_0 \text{ печ } 0\beta$$

$\S 4.$

Формирование множества изменившихся входов сети — вход

1. Найти множество D входных переменных схем C , изменивших свое значение.

2. Внешние операнды:

$$\alpha_k :: C,$$

$$\beta_k :: D.$$

Задаются: $a_\alpha, b_\alpha, a_\beta$.

3. * 054 013

$$\S 0 \quad c_{20} - c_{26} \Rightarrow a \quad 0a \quad 0b$$

$$\S 1 \quad \Delta a \quad \alpha_a \Rightarrow c \alpha_c \wedge a \circ \rightarrow 2 \oplus c_{26} \rightarrow 3$$

$$\S 2 \quad \alpha_c > 1 \oplus \alpha_c \wedge c_1 \circ \rightarrow 1 \quad \alpha_c \Rightarrow \beta_b \quad \Delta b \rightarrow 1$$

$$\S 3 \quad b \Rightarrow b_\beta.$$

Формирование множества неисправных элементов — неис

1. Найти множество ϵ неисправных элементов сети C .

2. Внешние операнды:

$$\alpha_k :: C,$$

$$\beta_k :: \epsilon.$$

Задаются: $a_\alpha, b_\alpha, a_\beta$.

4. * 054 014

- § 0 $0a \ 0c \ c_5 \vee c_6 \Rightarrow a$
 § 1 $\Delta a \alpha_a \oplus b_\alpha \circ \rightarrow 2 \alpha_a \Rightarrow b \ \alpha_b > 11$
 $\wedge 77 \oplus 1 \circ \rightarrow 3 \alpha_b \wedge a \circ \rightarrow 1$
 § 3 $\alpha_b \Rightarrow \beta_c \Delta c \rightarrow 1$
 § 2 $c \Rightarrow b_\beta$.

Запоминание исправного состояния схемы — дубль

1. Задана сеть C , находящаяся в некотором исправном состоянии. Требуется запомнить это состояние сети.

2. Внешние операнды: $\alpha_k :: C$

β_n — номер разряда шапок элементов, представляющих их состояние;

γ_n — номер разряда шапок элементов, куда заносятся значения исправных состояний элементов.

Задаются: a_α, b_α .

4. * 054 003

- § 0 $0a$
 § 1 $\Delta a \alpha_a \oplus b_\alpha \circ \rightarrow 3 \alpha_a \Rightarrow b \ \alpha_b \wedge c_\beta \circ \rightarrow 2$
 $\alpha_b \vee c_\gamma \Rightarrow \alpha_b \rightarrow 1$
 § 2 $\alpha_b \vee c_\gamma \oplus c_\gamma \Rightarrow \alpha_b \rightarrow 1$
 § 3.

Потенциально-импульсное моделирование — модель

1. Задано множество D входных переменных сети C , изменивших свое значение. Требуется осуществить потенциально-импульсное асинхронное моделирование сети C .

2. Внешние операнды:

$$\alpha_k :: C,$$

$$\beta_k :: D,$$

γ_r — дополнительный выходной полюс, реализуемый при нехватке памяти;

δ_n — максимально возможная мощность комплекса β ;

ε_n — режим моделирования.

Примечание. Данная программа позволяет моделировать сети с неисправностями. В этом случае $\varepsilon = 5$. При моделировании исправной сети ε должно быть равно 7.

Задаются $a_\alpha, b_\alpha, a_\beta, b_\beta$.

Подпрограммы: элемент, четность.

3. Алгоритм изложен выше.

4. * 054005

- § 0 $a_3 + \delta \Rightarrow a_0 \rightarrow 5$
 § 1 $\Delta a \oplus b_\beta \circ \rightarrow 4 \ 0f \ \beta_a \rightarrow c_{20} \Rightarrow \beta_a \Rightarrow a > 17 \wedge 177$
 $|\rightarrow 3\beta_a \wedge F_7 \Rightarrow b + 1 \Rightarrow i \alpha_b \Rightarrow c \alpha_c \oplus c_1 \Rightarrow \alpha_c > 11 \wedge 77$
 $\circ \rightarrow 2 - 4 |\rightarrow 2\beta_a + c_{11} \Rightarrow \beta_a \wedge c_{10} |\rightarrow 2$
 $c_{20} + \beta_a \Rightarrow a \ 1 - f \rightarrow 3$
 § 2 $\Delta c \oplus \alpha \circ \rightarrow 1 \ \alpha_c > 22 \circ \rightarrow 1 \Rightarrow d \ 1 \Rightarrow f \Rightarrow j$
 * элемент $\alpha d \ 10\varepsilon \neq 0j$

- § 10 $\alpha_d \Rightarrow d \ \alpha_d \Rightarrow a$

* четность $\underline{Aa}_k \not\equiv j \oplus k \rightarrow 2$

§ 3 $\underline{a} \Rightarrow a_e \Delta e \Rightarrow b_0 - \delta \mid \rightarrow \gamma f \circ \rightarrow 1 \rightarrow 2$

§ 4 $\underline{a}_\beta < \Rightarrow a_0 b_0 \Rightarrow b_3$

§ 5 $0b_0 0l 0a b_3 \circ \rightarrow 7 - 1 \Rightarrow c$

§ 6 $\Delta a \oplus c \circ \rightarrow 7 \underline{\beta}_a > 11 \wedge 77 \circ \rightarrow 6 - 4 \mid \rightarrow 6\beta_a$

$< \Rightarrow \beta_c \Delta a \Delta c \rightarrow 6$

§ 7 $0a b_3 \mid \rightarrow 1$.

Моделирование элемента — элемент

1. Пусть j — номер элемента сети C , переменные входных полюсов которого изменили свое значение. Требуется выяснить, изменит ли значение его выходная переменная.

2. Внешние операнды:

$$\alpha_k \dots c,$$

$$[\beta_i] = i,$$

γ — дополнительный выходной полюс, реализуемый, если значение выходной переменной не изменится.

Задаются: a_a, b_a .

Подпрограммы: дифцепь, НЕ И, НЕ ИЛИ, двакод, равно, триггер.

3.

4.

* 054007

§ 0 $\alpha_\beta \Rightarrow a 0 b \alpha_a > 11 \wedge 77 - 3 \circ \rightarrow 2 - 1 \circ \rightarrow 1$

$- 1 \circ \rightarrow 4 - 1 \circ \rightarrow 3 - 1 \circ \rightarrow 6 - 1 \circ \rightarrow 5 - 1 \circ \rightarrow 7 - 1 \circ \rightarrow 10 \rightarrow 11$

§ 1 Δb

§ 2 * дифцепь $\alpha\beta 12 13 \parallel$

§ 3 Δb

§ 4 * НЕ И $\alpha\beta 12 13 \parallel$

§ 5 Δb

§ 6 * НЕ ИЛИ $\alpha\beta 12 13 \parallel$

§ 7 * двакод $\alpha\beta 12 13 \parallel$

§ 10 * равно $\alpha\beta 12 13 \parallel$

§ 21 $\rightarrow \gamma$

§ 11 * триггер $\alpha\beta 12 13 21 \parallel \alpha_a \wedge c_\delta \circ \rightarrow 20 \rightarrow \gamma$

§ 12 $b \mid \rightarrow 15 \rightarrow 14$

§ 13 $b \circ \rightarrow 15$

§ 14 $\alpha_a \wedge c_\delta \mid \rightarrow 17 \rightarrow 16$

§ 15 $\alpha_a \wedge c_\delta \circ \rightarrow 17$

§ 16 $\alpha_a \wedge c_1 \circ \rightarrow \gamma \rightarrow 20$

§ 17 $\alpha_a \wedge c_1 \mid \rightarrow \gamma$

§ 20.

Вычисление значения выходной переменной элемента

1. Вычислить значения выходной переменной i -элемента сети C .

2. Внешние операнды:

$$\alpha_k \dots c;$$

$$[\beta_n] = i;$$

γ — дополнительный выходной полюс, реализуемый, если значение выходной переменной равно 0;

δ — дополнительный выходной полюс, реализуемый, если значение выходной переменной равно 1.

Задаются: a_a .

3.

4. Дифцепь

* 054002

$$\begin{aligned} \S 0 \alpha_\beta + 1 &=> a \alpha_a \wedge F_7 => a \alpha_a => a \alpha_a \wedge c_1 \\ &\circ \rightarrow \delta \rightarrow \gamma \\ &\text{НЕ И} \end{aligned}$$

* 054004

$$\begin{aligned} \S 0 \alpha_\beta &=> a \beta + 1 => c \\ \S 1 \Delta a \oplus \alpha_c \circ \rightarrow \gamma \alpha_a \wedge F_7 \circ \rightarrow \gamma &=> b \alpha_b => b \alpha_b \wedge c_1 | \rightarrow 1 \rightarrow \delta \\ &\text{НЕ ИЛИ} \end{aligned}$$

* 054006

$$\begin{aligned} \S 0 \alpha_\beta &=> a \beta + 1 => c \\ \S 1 \Delta a \oplus \alpha_c \circ \rightarrow \delta \alpha_a \wedge F_7 \circ \rightarrow \delta &=> b \alpha_b => b \alpha_b \wedge c_1 \circ \rightarrow 1 \rightarrow \gamma \\ &\text{двямод} \end{aligned}$$

* 054010

$$\begin{aligned} \S 0 \alpha_\beta + 1 &=> a \beta + 1 => c \ 0 \ a \\ \S 1 \alpha_a \wedge F_7 \circ \rightarrow 2 &=> b \alpha_b => \bar{b} \alpha_b \oplus \underline{a} => \underline{a} \Delta a \oplus \alpha_c | \rightarrow 1 \\ \S 2 \underline{a} \wedge c_1 \circ \rightarrow \gamma \rightarrow \delta. & \\ &\text{равно} \end{aligned}$$

* 054011

$$\begin{aligned} \S 0 \alpha_\beta &=> a \beta + 1 => c \ \bar{0} \ d \\ \S 1 \Delta a \oplus \alpha_c \circ \rightarrow \delta \alpha_a \wedge F_7 \circ \rightarrow \delta &=> b \alpha_b => b \Delta d \circ \rightarrow 2 \\ &\alpha_b \oplus a \wedge c_1 \circ \rightarrow 1 \rightarrow \gamma \\ \S 2 \alpha_b &=> \bar{a} \rightarrow 1. \\ &\text{триггер} \end{aligned}$$

ε — дополнительный выходной полюс, реализуемый, если выходная переменная не меняет своего значения.

* 054012

$$\begin{aligned} \S 0 \alpha_\beta &=> a \ \bar{0} \ b \\ \S 1 \Delta a \Delta b \oplus 3 \circ \rightarrow \varepsilon \alpha_a \wedge F_7 \circ \rightarrow 1 &=> c \ \alpha_c = > c \\ &\alpha_c \wedge c_1 \circ \rightarrow 1 \ b \circ \rightarrow \gamma \oplus 2 \circ \rightarrow \delta. \end{aligned}$$

Нахождение четности числа срабатываний элемента — четность

1. Задано множество ε сработавших элементов сети S . Требуется узнать четность l числа срабатываний элемента с номером i .

2. Внешние операнды:

$$\alpha_k :: \varepsilon;$$

$$\beta_n :: i;$$

$$[\gamma_n] = l.$$

Задаются: a_α, b_α .

4.

* 050 777

$$\begin{aligned} \S 0 0 a \ \bar{0} \ b \ \beta \wedge 77 &=> a \\ \S 1 \Delta b \ b_\alpha \circ \rightarrow 2 \alpha_b \ b \wedge 77 \oplus \underline{a} | \rightarrow 1 \Delta a \rightarrow 1 \\ \S 2 a \wedge 1 &=> \gamma. \end{aligned}$$

ЛИТЕРАТУРА

1. А. А. Уткин. Моделирование релейных схем. В сб.: «Логический язык для представления алгоритмов синтеза релейных устройств». М., «Наука», 1966.
2. Проектирование цифровых вычислительных машин. Под ред. С. А. Майорова. М., Высшая школа, 1972.
3. А. Д. Закревский. Алгоритмы синтеза дискретных автоматов. М., «Наука», 1971.