

ИССЛЕДОВАНИЕ ВРЕМЕННЫХ ПАРАМЕТРОВ МНОГОПОРТОВОЙ ПАМЯТИ, РЕАЛИЗОВАННОЙ НА ПЛИС

Фролов М.С.

Томский политехнический университет, г. Томск

*Научный руководитель: Солдатов А.И., д.т.н., профессор кафедры
промышленной и медицинской электроники*

Создание систем на кристалле является перспективной технологией реализации сложных проектов на СБИС. Применение специализированного инструментария позволяет осуществить проектирование сложных систем на кристалле в течение малого временного цикла. Концепция систем на кристалле основана на иерархической технологии проектирования, а также на применении готовых функциональных блоков. Всё это позволяет оптимизировать создаваемую систему и повысить производительность разработчиков [1].

Реализация систем для многопоточковой обработки информации требует наличия высокоскоростной энергозависимой памяти для временного хранения данных. Возможный вариант реализации такой памяти – применение микросхем ПЛИС.

Применение многопортовой памяти позволяет ускорить обмен информацией, повысить производительность системы в целом, однако реализация блоков многопортовой памяти на ПЛИС влечет за собой следующие проблемы:

- Требуется большое число логических элементов на кристалле ПЛИС для реализации проекта

- Возникновение временных задержек ввиду использования большого количества элементов кристалла ПЛИС

Использование большого количества логических блоков обуславливается тем, что каждый дополнительный порт вывода включает в себя «регистры-защелки», необходимые для фиксации данных. При этом «трассировка» проекта на кристалле выполняется автоматически по принципу оптимизации связей между логическими элементами. «Трассировку» проектов, включающих достаточно большое количество логических элементов, невозможно выполнить таким образом, чтобы полностью исключить возникновение временных задержек.

Для оценки возможности применения модулей многопортовой памяти, реализованных на ПЛИС, в системах с многопоточковой

обработкой информации были созданы поведенческие модели функциональных блоков памяти с различной конфигурацией портов и различным объемом данных.

Было проведено исследование временных параметров блоков памяти средствами САПР Quartus II. Данная САПР позволяет достаточно точно воспроизводить поведение логических блоков реальной ПЛИС с учетом задержки распространения сигналов.

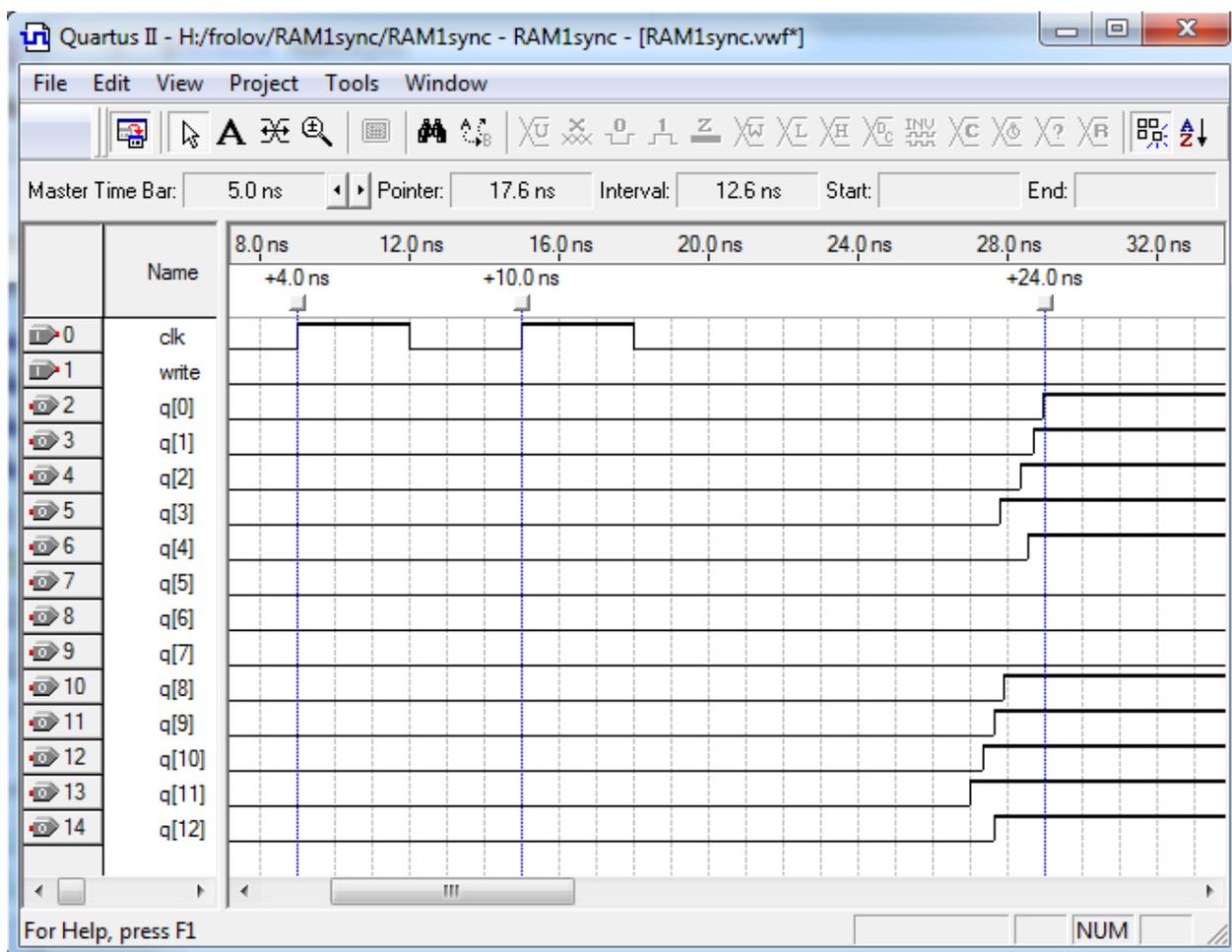


Рис. 1. Диаграммы работы 2-х портового модуля памяти

Data[0] – Data[15] – входные линии данных,
 clk – тактовый импульс,
 write – сигнал записи,
 q[0] – q[15] – выходные линии данных. Время переднего фронта второго тактового импульса $t_1 = 10\text{нс}$, время выборки данных $t_2 = 24\text{нс}$. Быстродействие кристалла $\tau = t_2 - t_1 = 24\text{нс} - 10\text{нс} = 14\text{нс}$.

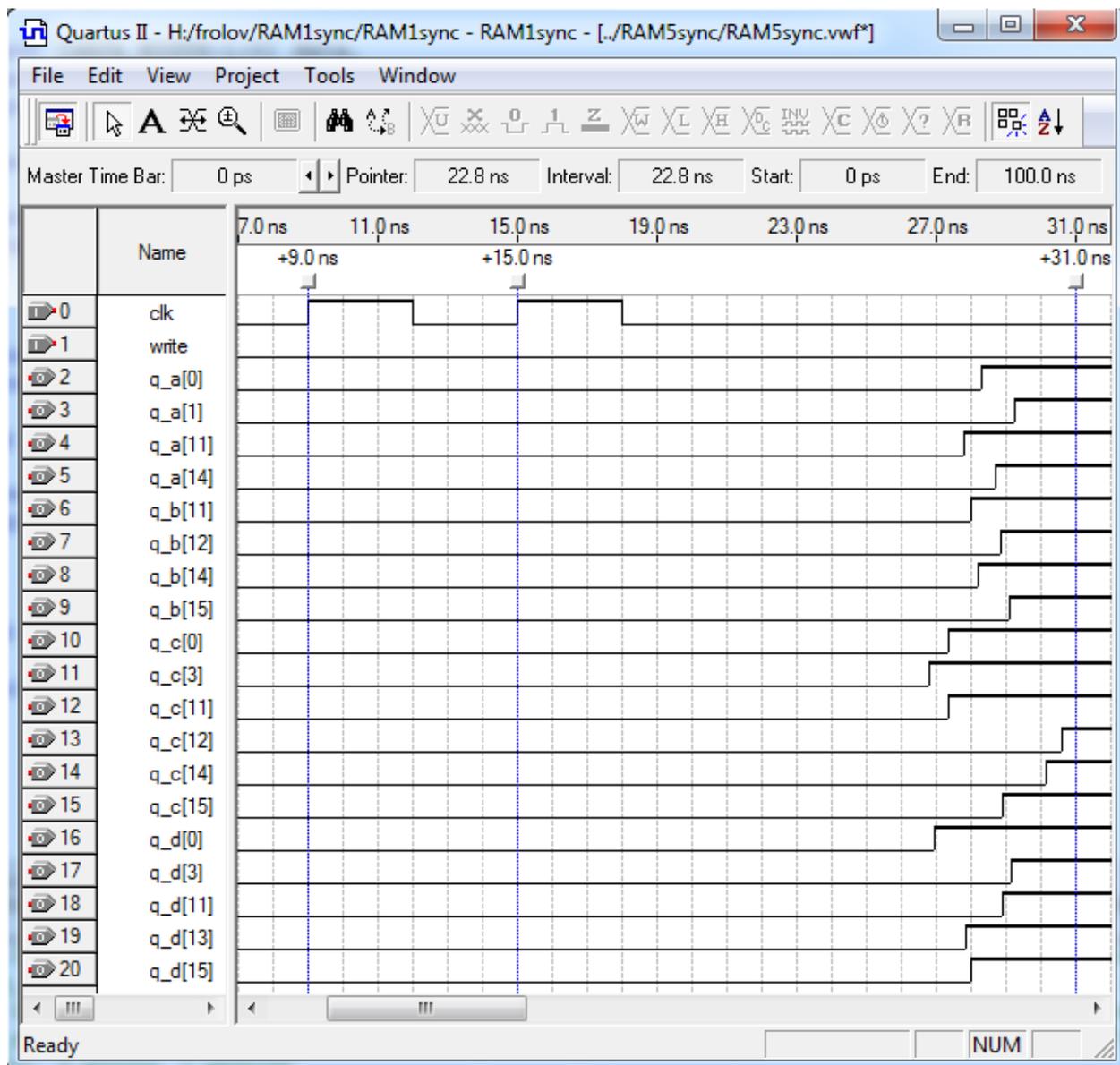


Рис. 2. Диаграммы работы 5-х портового модуля памяти

$q_b[0] - q_b[15]$ – выходные линии данных порта B,
 $q_c[0] - q_c[15]$ – выходные линии данных порта C,
 $q_d[0] - q_d[15]$ – выходные линии данных порта D,
 clk – тактовый импульс,
 write – сигнал записи.

Время переднего фронта второго тактового импульса $t_1 = 15\text{нс}$, время выборки данных $t_2 = 31\text{нс}$. Быстродействие кристалла $\tau = t_2 - t_1 = 31\text{нс} - 15\text{нс} = 16\text{нс}$. На диаграммах видно, что при увеличении количества портов считывания данных быстродействие кристалла уменьшается незначительно.

Проведенное исследование показало, что при увеличении числа портов считывания данных существенно повышается объем используемых внутренних ресурсов кристалла ПЛИС, при этом быстродействие модуля ухудшается незначительно. Данные модули многопортовой памяти можно применять в системах, требующих высоких скоростей обработки и передачи большого объема данных, например в системах сбора данных с большим количеством датчиков или обработки изображений, поскольку временные задержки не превышают 16 нс.

Список информационных источников

1.Суворова Е.А., Шейнин Ю.Е. Проектирование цифровых систем на VHDL. — СПб.: БХВ-Петербург, 2003. — 576 с.

2.Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. — М.: СОЛОН-Пресс, 2003. — 320 с.

3.Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. — СПб.: БХВ-Петербург, 2002. — 608.

ОРГАНИЗАЦИЯ ИНТЕРФЕЙСА С ИСПОЛЬЗОВАНИЕМ МОЗГ – КОМПЬЮТЕР ЭЛЕКТРОИМПЕДАНСНАЯ ТОМОГРАФИИ

Фролова И.В.

Томский политехнический университет, г. Томск

*Научный руководитель: Солдатов А. И., д.т.н., профессор
кафедры промышленной и медицинской электроники*

Практическая необходимость в подобных интерфейсах назрела давно. Десятки тысяч больных уже сейчас нуждаются в подобном интерфейсе. В первую очередь – это полностью парализованные люди (с так называемым locked-in синдромом), пациенты с тяжелыми формами церебрального паралича, пациенты с тяжелыми инсультами и травмами. Современные разработки в этой области нацелены на широкий спектр применения интерфейс "мозг-компьютер" — от определения степени усталости водителей и летчиков до измерения умственной нагрузки и стрессоустойчивости учащихся. Не только вождение инвалидами колясок, но и коррекция утраченного зрения, эффективное управление биопротезированными конечностями, все это становится возможным по мере развития нейрокомпьютерного интерфейса.