

ОБЕСПЕЧЕНИЕ ВЗАИМОДЕЙСТВИЯ УСТРОЙСТВ ВЫВОДА НА ДИСПЛЕЙ, РЕАЛИЗОВАННЫХ ПРИ ПОМОЩИ ЯЗЫКА VERILOG HDL НА МАКЕТАХ SDK 6.1

Н.С. Никифоров, Н.Д. Котов

*Лицей при Томском политехническом университете, г. Томск
Научный руководитель: Зоев И.В., программист, ТПУ*

Встраиваемые системы (ВС) на сегодняшний день получили большое распространение. Они могут заменить высокопроизводительные системы там, где не требуется больших вычислительных мощностей. Большинство встраиваемых систем строится на микроконтроллерах. Однако существует другой тип ВС, работающих на программируемых интегральных логических схемах (ПЛИС). Преимущество их заключается в быстродействии и низком энергопотреблении.

Цель данной работы заключается в том, чтобы научиться программировать ПЛИС с помощью языка Verilog HDL, работать со средой Quartus II, обеспечить взаимодействие двух ПЛИС путем их последовательного соединения.

Задачи:

- Исследовать принцип вывода информации на дисплей;
- Написать программу для вывода заданного текста;
- Написать подпрограмму для удаления информации с дисплея;
- Обеспечить взаимодействие между двумя макетами;
- Произвести отладку системы.

На рис. 1 представлен блок, обеспечивающий вывод информации на дисплей.

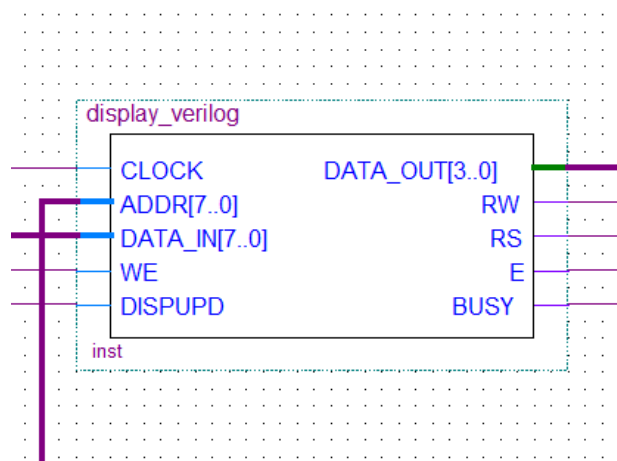


Рис. 1. Блок, обеспечивающий вывод информации на дисплей.

В приведенной ниже табл. 1 предоставлены описания входов.

Таблица 1

Описание входов

Вход	Назначение
CLOCK	Вход для синхроимпульса
ADDR	Адрес информационной ячейки дисплея
DATA_IN	Информация, выводимая на ячейку
WE(Write Enable)	Вход, дающий разрешение на запись данных
DISPUPD	Вход, отвечающий за обновление дисплея

Выходы напрямую соединяются с контроллером дисплея. Дисплей поделен на 32 ячейки, адрес которых задается входом ADDR. Порядок адресации предоставлен в табл. 2.

Таблица 2

Порядок переадресации

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

Такой порядок адресации неудобен для практического использования. Поэтому произведено переопределение адресов в соответствии с табл. 3.

Таблица 3

Переопределение адресов

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

Первым этапом данной работы является написание программы для вывода текстовой информации на дисплей.

На рис. 2 представлена схема, составленная в среде Quartus II, которая производит вывод информации на дисплей. Работа в данной среде сводится к составлению схемы с использованием блоков, написанных на языке Verilog HDL, и элементов логики. Блоки test_module и test_module2 отвечают за информацию, выводимую на первую и вторую строки дисплея соответственно. Текстовая информация задается в соответствии с кодировкой ASCII. Блок conv_addr отвечает за переопределение адресов в соответствии с таблицами 2 и 3. Логические элементы («или») отвечают за соединение выходов блоков test_module и test_module2.

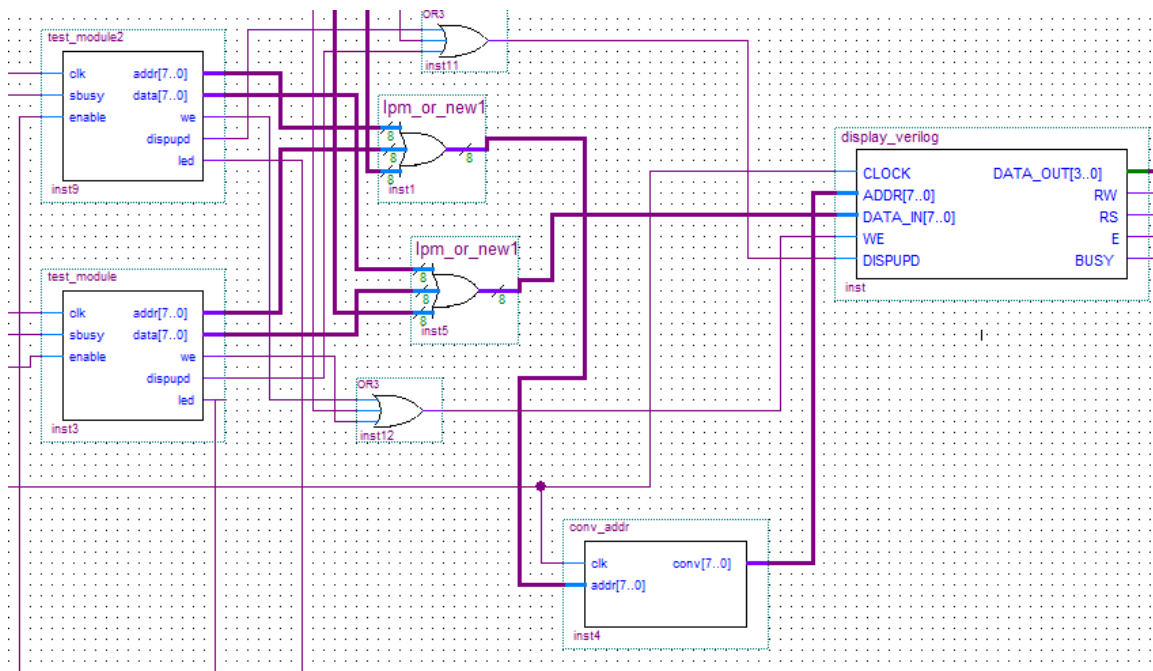


Рис.2. Схема вывода информации на дисплей

Следующая задача – удаление информации с дисплея. На рис. 3 представлен блок clear, отвечающий за удаление информации с дисплея. Блок button отвечает за подавление дребезга контакта кнопки.

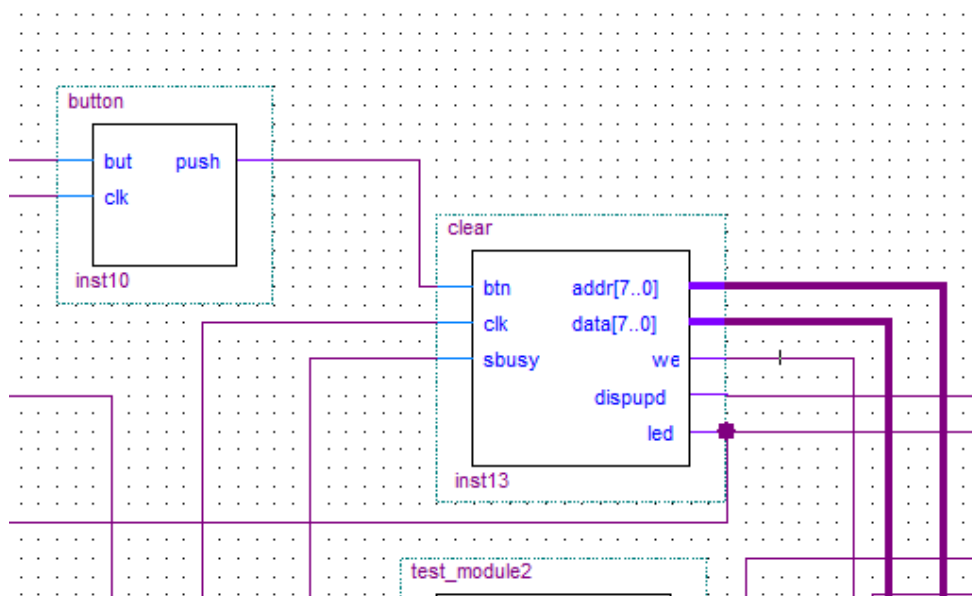


Рис. 3. Схема блока clear

Следующим этапом работы стало создание системы объединенных макетов. Соединение было осуществлено посредством объединения двух выводов разъемов разных макетов при помощи проводов.

На рис. 4, 5, 6, 7 представлены результаты работы. Первое состояние – левый макет работает, правый ожидает сигнала об окончании работы от левого (рис. 4). Второе состояние – после завершения работы левого макета начинает работу правый (рис. 5).

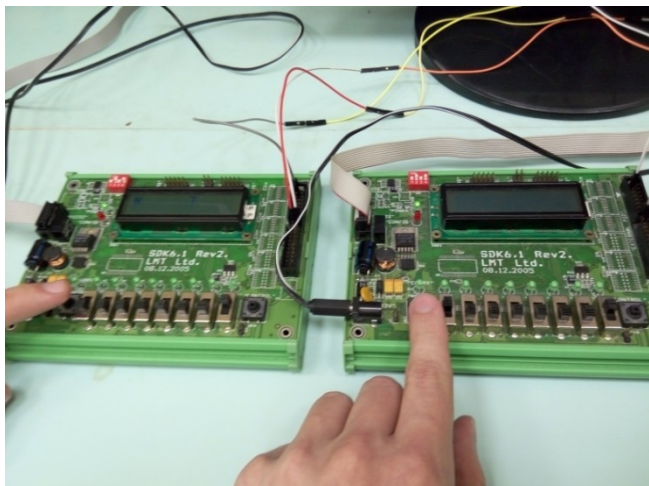


Рис.4

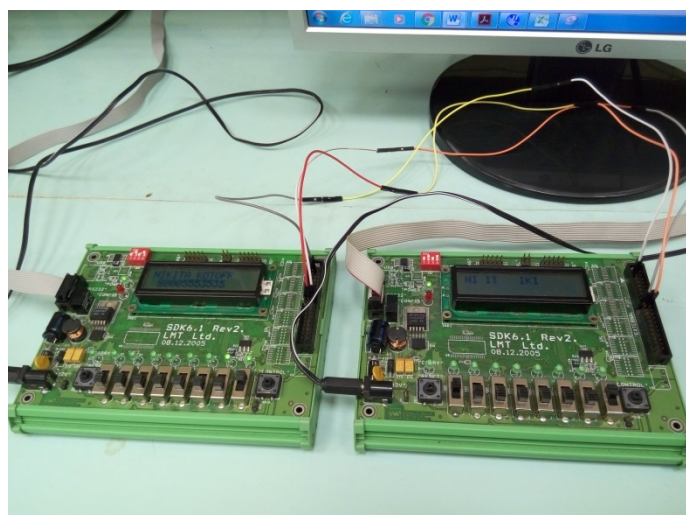


Рис. 5

Третье состояние – оба макета отработали (рис. 6). Четвертое состояние – работа стирающего элемента на левом макете (рис. 7).

При соединении макетов возникли трудности с передачей данных. Суть проблемы заключалась в том, что сигнал, передаваемый с одного макета, не обнаружился на другом. При этом оба макета начинали работать одновременно. Решение данной проблемы заключалось в объединении шин нулевого провода.

В ходе данной работы были разработаны устройства вывода на дисплей на основе макета SDK 6.1, которые могут передавать сигнал управления от одного к другому.

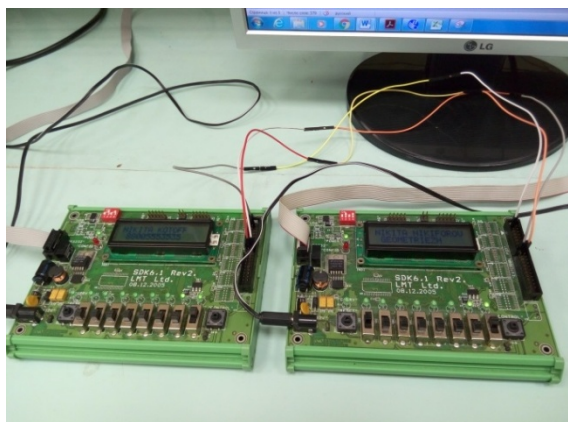


Рис. 6

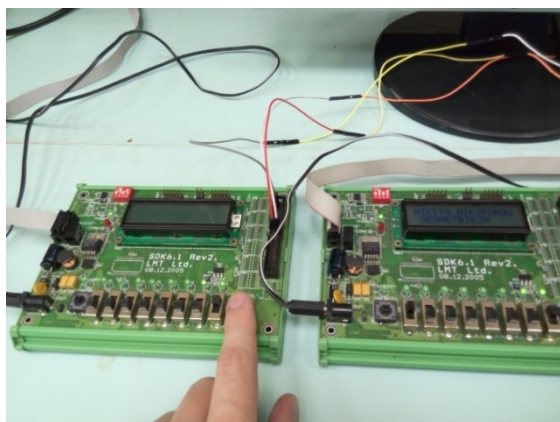


Рис. 7

В будущем возможна доработка для выполнения более сложных взаимодействий.

Список информационных источников

1. Принципиальная электрическая схема стенда SDK-6.1 (Rev. 2, базовая модификация [Электронный ресурс]. – Режим доступа: http://embedded.ifmo.ru/sdk/sdk61/sch/sdk61r2_sch_baseconf.pdf 15.03.2016.
2. Спецификация ЖКИ WH1602B-YGK-CP (Winstar Display Co.) [Электронный ресурс]. – Режим доступа: <http://embedded.ifmo.ru/sdk/sdk61/components/lcd/WH1602B-YGK-CP.pdf> 15.03.2016.
3. Спецификация контроллера ЖКИ HD44780U (HITACHI) [Электронный ресурс]. – Режим доступа: <http://embedded.ifmo.ru/sdk/sdk61/components/lcd/hd44780> 15.03.2016.
4. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера // Morgan Kaufman. – 2013 г. – 1662 с.
5. Ключев А.О., Ковязина Д.Р., Кустарев П.В., Платунов А.Е.. Аппаратные и программные средства встраиваемых – СПб.: Санкт-Петербургский государственный университет информационных технологий, механики и оптики. – 2010 г. – 293 с.