

ЯЧЕЙКА ПЕРЕПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ МАТРИЦЫ

*И.А. Тутов, ст. преп.,
А.Д. Федотов, студент группы 8Т8Б
Томский Политехнический Университет
E-mail: adf6@tpu.ru*

Введение

В марте 1978 года компания MMI (Monolithic Memories, Inc.) представила семейство программируемых чипов PAL (Programmable Array Logic), сопроводив программным обеспечением, позволяющим значительно сократить время программирования. На семейство микросхем сразу обратили внимание «гиганты» рынка, среди них AMD, Phillips, Texas Instruments. Отечественным аналогом является серия микросхем K1556.

В 1985 году компания Lattice Semiconductor выпустила микросхемы GAL (Generic Array Logic или Gate Array Logic), которые можно было перепрограммировать несколько раз, в отличие от PAL. Была обеспечена полная совместимость, поэтому чипы GAL можно было программировать с помощью ПО для PAL.

Успех чипам принесло то, что при их использовании можно было отказаться от логических микросхем малой степени интеграции, которые могли содержать до десятка элементарных логических микросхем. В это время один чип PAL или GAL позволял реализовать таблицы истинности и конечные автоматы, используя только одну микросхему, что значительно сокращало габариты устройства, а также, за счёт ПО – время.

В настоящее время в массовом производстве чипы PAL и GAL вытеснили CPLD – более сложные по архитектуре микросхемы. Однако в мелкосерийном производстве GAL нашли своё применение и используются в изделиях специального назначения, например, в военной.

Постановка задачи

Задачей проекта реализация простейшей ячейки микросхемы GAL, а также создания рабочего стенда для демонстрации её работы. Микросхема должна быть защищена от возникновения в ней короткого замыкания, программирование должно осуществляться физически, с помощью тумблеров или штекеров.

Описание работы

Программируемая логическая матрица (ПЛМ) представляет из себя комбинацию из матриц элементов И и ИЛИ. Из сигналов со входов, поступающих на матрицу И, формируются импликанты. Затем они поступают на матрицу ИЛИ, выходы которой являются выходами ПЛМ. Разрядность ПЛМ определяется произведением количества её входов, импликантов и выходов. Схема программируемой логической матрицы представлена на Рис. 1.

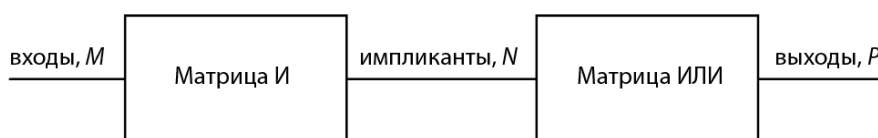


Рис. 1. Программируемая матрица $M \times N \times P$ – бит

Импликанты представляют из себя части совершенной дизъюнктивной нормальной формы. Импликанты логически суммируются, проходя через матрицу ИЛИ, формируя выходные сигналы ПЛМ. Таким образом, задача состоит в реализации обеих матриц-составляющих микросхемы. В соответствии с задачей были разработаны две схемы на микросхемах транзисторно-транзисторной логики (ТТЛ). Особенностью схем является большая разрядность, позволяющая получить $16 \times 16 \times 4$ вариантов выходного сигнала. Программирование осуществляется трёхпозиционными тумблерами или штекерами. Схема 1 (Рисунки 2 и 3) составлена с помощью базовых элементов логики и триггеров RS-D. В ней матрицы И и ИЛИ реализованы через соответствующие элементы. Схема 2 (Рисунки 4 и 5) составлена с помощью мультиплексоров ТТЛ. В обеих схемах повышение разрядности достигается обратной связью микросхемы, отправляемой на вход ПЛМ. Также в схемах сформирована шина данных, с которой сигналы поступают на микросхему.

При разработке схем важно было учитывать, чтобы каждый вход микросхем был задействован, так как ТТЛ может воспринимать неподключенные входы неоднозначно. Также стоит отметить, что при такой реализации схем на ней не должно возникать короткого замыкания.

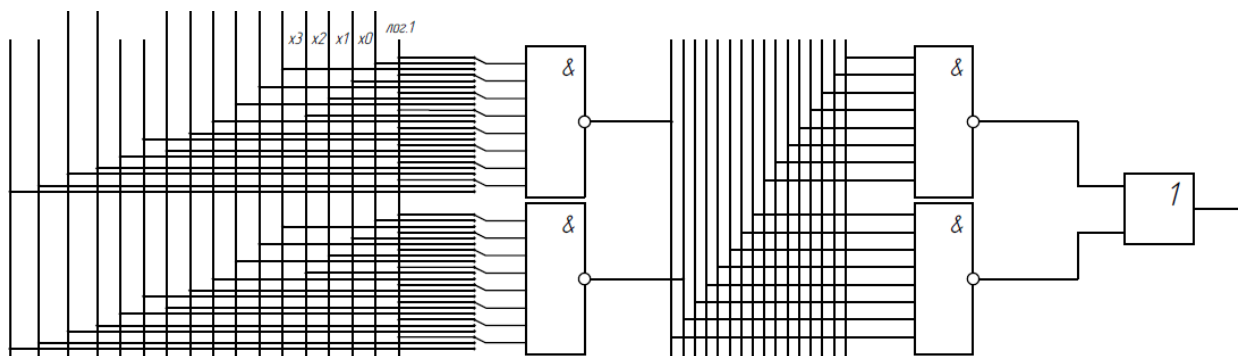


Рис. 2. Формирование комбинаций входных сигналов и импликантов

Выходные сигналы формируются с прохождением импликантов через шестизначную шину на входы триггера. С этой шины два прямых и два инверсионных сигнала поступают на вход ПЛМ. Сигналы с выходов триггера отправляются на матрицу И как обратная связь. Эти же выходы являются выходами ПЛМ.

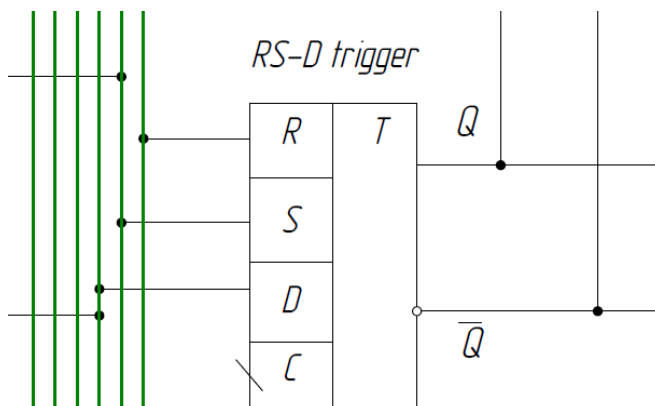


Рис. 3. Формирование выходного сигнала ПЛМ

Основными элементами второй схемы являются мультиплексоры. Как видно на схеме (Рисунки 4 и 5), сигналы поступают на информационные входы. Сигналы адресных входов формируются с помощью тумблеров. На нулевой адресный вход поступает сигнал с мультиплексора меньшей разрядности. На адресные входы малого мультиплексора поступают сигналы обратной связи и сигналы, формируемые вручную. Работа триггеров управляется вентилем.

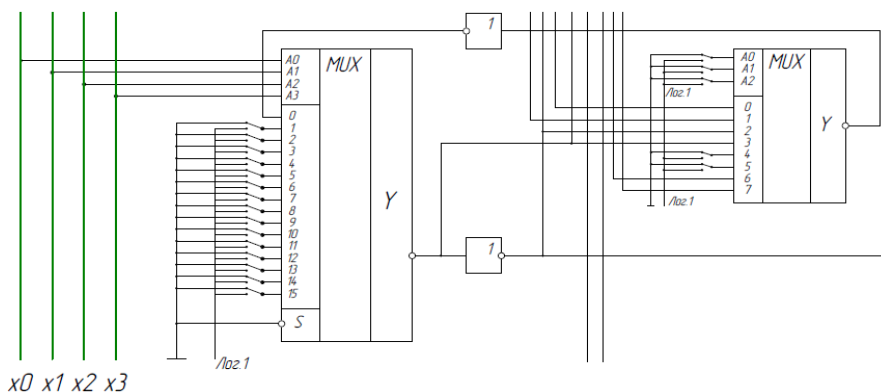


Рис. 4. Формирование входного сигнала ПЛМ на мультиплексорах

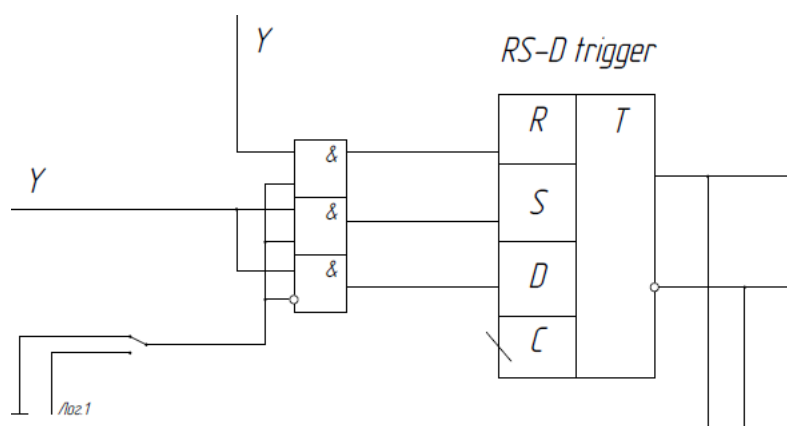


Рис. 5. Регулирование работы триггера ПЛМ

Разработанные схемы готовы для реализации, а именно для разводки и пайки микросхемы. Однако существует возможность оптимизировать микросхему. Например, вместо тумблеров, использованных для реализации программирования, можно использовать штекеры. Также проблема схем состоит в том, что возможности реализации ограничены микросхемами, выпущенными в рамках ТТЛ серий. Конкретно для данных схем использовались микросхемы серий КР1533 и К155.

Заключение

По результатам проведённой работы были составлены две схемы, удовлетворяющие требованиям, готовые к реализации. Были отмечены возможности уменьшения количества используемых в них микросхем, поэтому дальнейшее направление работы над схемами – устранение зависимости от заводской элементной базы и реализация логических элементов с помощью транзисторов.

Список использованных источников

1. Дэвид М. Харрис, Сара Л. Харрис. Цифровая схемотехника и архитектура компьютера. / пер. с англ. Imagination Technologies. – М.: ДМК Пресс, 2018. – 792 с.: цв. ил.
2. Бирюков С. А. Применение цифровых микросхем ТТЛ и КМОП – 2-е изд., стер. – М.: ДМК, 2000. – 240 с.: ил. (В помощь радиолюбителю).
3. PAL, GAL и путешествие в цифровое ретро [Электронный ресурс] – Режим доступа: <https://habr.com/ru/post/535936/> (Дата обращения 17.01.2021).
4. ПЛИС [Электронный ресурс] – Режим доступа: https://ru.bmstu.wiki/index.php?title=ПЛИС&mobileaction=toggle_view_desktop (Дата обращения 17.01.2021).
5. Generic array logic. Wikipedia [Электронный ресурс] – Режим доступа: https://it.wikipedia.org/wiki/Generic_Array_Logic (Дата обращения 17.01.2021).