

БЫСТРОДЕЙСТВУЮЩЕЕ УСТРОЙСТВО УМНОЖЕНИЯ

Ю. М. АЧКАСОВ, Н. Ф. КУЧЕР, Ю. А. САВЕЛЬЕВ, Л. И. УХАНОВ

(Представлена научно-техническим семинаром НИИ АЭМ)

В специализированных автоматических вычислительных машинах, выполняющих операцию свертки двух функций, одним из основных узлов является устройство умножения. Операция умножения — одна из самых трудоемких, поэтому в быстродействующих специализированных машинах ее целесообразно выполнять не программным, а аппаратным путем.

Методы умножения, использующие ряд последовательных суммирований со сдвигом, неприемлемы, несмотря на элементную экономичность, из-за низкого быстродействия, которая даже в принципе не может быть выше, чем $(n-1)t_n$, где n — разрядность чисел; t_n — время суммирования двух n -разрядных чисел.

Очевидно, что наиболее перспективны в смысле быстродействия табличные способы, но их применение ограничивается из-за роста оборудования, количество которого растет пропорционально 2^{2n} , так как разрядность произведения равна сумме разрядов перемножаемых чисел. Такие устройства обеспечивают скорость умножения, примерно равную скорости выборки числа из таблицы. Быстродействие ограничивается лишь временем дешифрации адреса и перемагничиванием сердечников. Компромиссным является использование таблиц квадратов, логарифмов или тригонометрических функций, что позволяет уменьшить объем запоминающего устройства, но снижает быстродействие, так как произведение получается в результате ряда дополнительных арифметических операций. Несмотря на высокое быстродействие, табличные множительные устройства обладают рядом недостатков: низкой надежностью, нетехнологичностью изготовления, большим числом разных элементов.

В данной работе рассматривается построение устройства умножения чисел, представленных в полупологарифмической форме с 11-разрядной нормализованной мантиссой и 4-разрядным порядком. Быстродействие устройства — 500 тыс. умножений в сек.

В устройстве используется только один элемент — 3-входовая интегральная микросхема «И—НЕ». Задачу построения умножителя сформулируем следующим образом: синтезировать логическую переключательную схему с 22 входами и 22 выходами, реализующую функцию $A(a_1, a_2, \dots, a_m) = B(b_1, b_2, \dots, b_n) \cdot D(d_1, d_2, \dots, d_n)$, где a , b и d принимают значения «1» или «0». Физически схема должна быть реализована на 3-входовых элементах Шеффера в соответствии со

следующим критерием оптимальности: при минимуме оборудования — максимум быстродействия. Очевидно, что в такой схеме цепочка последовательно соединенных элементов не должна превышать величины

$$K = \frac{t_y}{(1,1 \div 1,2)t_{cp}}$$

где

t_y — время умножения,

t_{cp} — время срабатывания одного элемента,

$1,1 \div 1,2$ — коэффициент запаса.

Для нашей функции $a_1 = F(b_1, c_1)$,

$a_2 = F(b_1, c_1, b_2, c_2)$,

$a_m = F(b_1, c_1, b_2, c_2, \dots, b_n, c_n)$.

Можно реализовать эту функцию «параллельным» способом и получить время умножения $t_y \approx (2 \div 3)t_{cp}$.

Такая схема имеет вид пирамиды и является слишком громоздкой, к тому же требует от логических элементов слишком больших коэффициентов разветвления и объединения. Другой вариант реализации — одновременное суммирование частичных произведений с организацией во всех разрядах групповых параллельных переносов. Этот способ тоже неэкономичен.

Более экономичны в смысле количества используемых элементов оказываются матричные умножители, формирующие с помощью элементов «И» и «ИЛИ» одновременно все частичные произведения. Поскольку время образования в матрице частичных произведений примерно равно времени срабатывания элемента «И», то время умножения определяется в основном временем их суммирования (рис. 1). Матрица

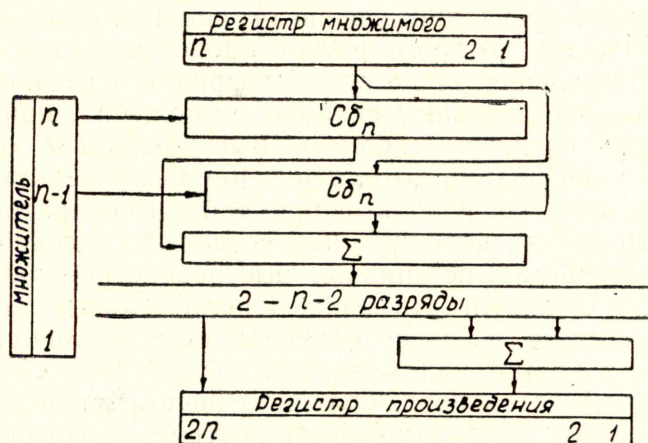


Рис. 1

строится так, что верхний левый угол ее образует старшие разряды произведения, правый нижний — младшие. Это соответствует умножению со старших разрядов при последовательном умножении. Волна установления сигналов начинается от правой стороны ромба и движется влево. Очевидно, что в верхней части она продвигается быстрее, так как входными сигналами для нижних рядов являются выходные сигналы верхних. Очевидно, что время умножения здесь равно

$$t_y = n(t_n + t_c),$$

где t_n — время формирования единицы переноса,
 t_c — время формирования суммы.

Увеличить быстродействие матрицы можно, разбив множитель на группы по два разряда, а дешифрацией получившихся пар кодов управлять прохождением через ступени «0», множимого, удвоенного или утроенного множимого, т. е. обрабатывать одновременно произведение множимого на пару разрядов множителя (рис. 2). Число рядов параллельных сумматоров здесь равно $\frac{n}{2}$. Быстродействие устройства равно

$$t_y = n \cdot t_n + \frac{n}{2} t_c.$$

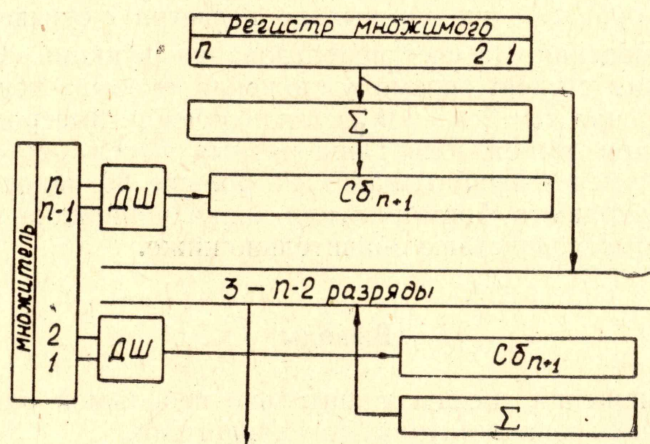


Рис. 2

Для дальнейшего увеличения быстродействия необходимо уменьшать времена образования переноса и суммы. В лучшем случае они должны быть равны времени срабатывания одного логического элемента. В основном задержку вносит время выработки сигнала переноса. Обычно для уменьшения этой задержки идут по пути организации группового переноса, но это требует дополнительных аппаратных затрат и большого коэффициента объединения по входу. Организации группового переноса можно избежать. Рассмотрим логику образования сигналов суммы (С) и переноса (П).

$$C_i = X_i Y_i \Pi_{i-1} + X_i \bar{Y}_i \bar{\Pi}_{i-1} + \bar{X}_i Y_i \bar{\Pi}_{i-1} + \bar{X}_i \bar{Y}_i \Pi_{i-1}, \quad (1)$$

$$\Pi_i = X_i Y_i \Pi_{i-1} + X_i Y_i \bar{\Pi}_{i-1} + X_i \bar{Y}_i \Pi_{i-1} + \bar{X}_i Y_i \Pi_{i-1},$$

где X и Y — слагаемые.

Для реализации сумматора в базисе «И — НЕ» минимизируем уравнение (1). Полученное выражение для переноса имеет вид

$$\Pi_i = X_i Y_i + X_i \Pi_{i-1} + Y_i \Pi_{i-1}. \quad (2)$$

Найдем инверсию выражения (2)

$$\bar{\Pi}_i = \overline{X_i Y_i + X_i \Pi_{i-1} + Y_i \Pi_{i-1}}.$$

Очевидно, что данная функция реализуется тремя элементами Шеффера, выходы которых объединены общим проводом. Инверсия сигнала

переноса получается здесь лишь в одну ступень. Аналогично для инверсии сигнала суммы имеем

$$\overline{C_i} = \overline{X_i P_i P_{i-1} + X_i P_i + Y_i P_i + P_i P_{i-1}}.$$

Инверсия сигнала суммы реализуется четырьмя элементами Шеффера, выходы которых объединены. Время образования сигнала «С» $t_c = 2t_{cp}$. Свойство самодвойственности обеих функций двоичного сумматора позволяет, инвертируя входные переменные, получать на выходе инверсии суммы и переноса. Используя триггерные регистры для первого ряда сумматоров, можем подавать на нечетные сумматоры сами переменные, а на четные — их инверсии. В следующем ряду сумматоров нечетные сумматоры получают на вход инверсии, выработают переносы и подадут их на вход соседних, четных сумматоров, которые получили на вход переменные. На выходной триггерный регистр переменные подаются таким образом, что на выходе регистра оказываются прямые функции произведения. За счет использования функций «С» и «П», получаемых в одну ступень, время умножения оказывается равным для данного построения $t_y = 2(n+1)t_{cp}$. Для получения быстродействия в две микросекунды при умножении 11-разрядных чисел необходимо иметь элементы со временем срабатывания не больше 80 наносекунд. К элементам, участвующим в формировании знака и порядка произведения, требование по быстродействию значительно ниже.

Выводы

1. При умножении чисел сравнительно небольшой разрядности целесообразно использовать матричные множители.
2. Количество оборудования в таких множителях растет пропорционально квадрату разрядности умножаемых чисел.
3. Для повышения быстродействия таких множителей и для уменьшения количества оборудования имеет смысл усложнять логику схем.
4. В качестве сумматоров частичных произведений лучше использовать схемы, формирующие не сами значения суммы и переноса, а их инверсии.

ЛИТЕРАТУРА

1. Л. К. Голышев. Структурная теория цифровых машин. «Энергия», 1971.
2. М. А. Карцев. Арифметика цифровых машин. «Наука», 1969.
3. А. Д. Шигин. Цифровые вычислительные машины. «Энергия», 1971.