

РАЗРАБОТКА ПРИНЦИПИАЛЬНОЙ СХЕМЫ ГЕНЕРАТОРА СИНУСОИДАЛЬНЫХ СИГНАЛОВ НА ОСНОВЕ SOFT-ПРОЦЕССОРА MICROBLAZE И ПЛИС

Старшинов В.С.

Научный руководитель: Мальчуков А.Н., доцент каф. ИСТ ТПУ

Томский политехнический университет

E-mail: vss21@tpu.ru

Введение

В настоящее время имеется проблема подключения устройств по различным интерфейсам. Устройства межинтерфейсного взаимодействия позволяют решить эту проблему, а на их основе можно реализовать генератор синусоидальных сигналов. Взаимодействие блоков происходит по принципу master-slave [1].

Структурно-функциональная схема устройства

Устройство, выполняющее функцию генератора синусоидальных сигналов, состоит из модулей AXI_TO_SPI_DEVICE, soft-процессора Microblaze, цифро-аналогового преобразователя MCP4922, динамической памяти DDR SDRAM A2S56D40 CTP, преобразователя USB_UART и др. (рис. 1) [1].

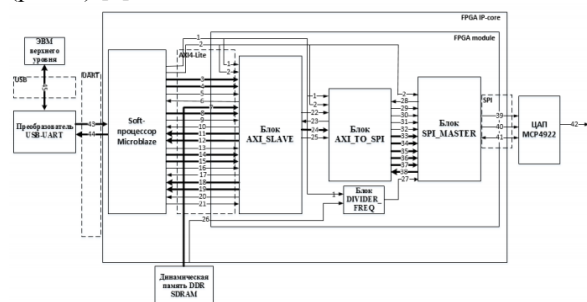


Рис. 1. Структурно-функциональная схема устройства

Сигналы устройства:

1: S_AXI_ACLK, 2: S_AXI_RESETN, 3: S_AXI_AWADDR [31..0], 4: S_AXI_AWPROT [2..0], 5: S_AXI_AWVALID, 6: S_AXI_AWREADY, 7: S_AXI_WDATA [31..0], 8: S_AXI_WSTRB [2..0], 9: S_AXI_WVALID, 10: S_AXI_WREADY, 11: S_AXI_BRESP [1..0], 12: S_AXI_BVALID, 13: S_AXI_BREADY, 14: S_AXI_ARADDR [31..0], 15: S_AXI_ARPROT [2..0], 16: S_AXI_ARVALID, 17: S_AXI_ARREADY, 18: S_AXI_RDATA [31..0], 19: S_AXI_RRESP [1..0], 20: S_AXI_RVALID, 21: S_AXI_RREADY, 22: O_AXI_BUSY, 23: O_AXI_ENA, 24: O_AXI_RX_DATA [31..0], 25: O_AXI_READY, 26: RESET, 27: CLK_OUT, 28: M_SPI_ENABLE, 29: M_SPI_BUSY, 30: M_SPI_ADDR, 31: M_SPI_RW1, 32: M_SPI_RW2, 33: M_SPI_CLK_DIV [31..0], 34: M_SPI_TX_CMD1 [cmd_width-2..0], 35: M_SPI_TX_CMD2 [cmd_width-2..0], 36: M_SPI_TX_DATA1 [d_width-1..0], 37: M_SPI_TX_DATA2 [d_width-1..0], 38:

M_SPI_RX_DATA [d_width-1..0], 39: M_SPI_SCLK, 40: M_SPI_SS_N, 41: M_SPI_SDIO, 42: Vouta, 43: TxD, 44: RxD, 45: DATA

Описание работы устройства

Модуль AXI_TO_SPI_DEVICE обеспечивает передачу сигнала с блока AXI_SLAVE в блок SPI_MASTER, то есть фактически является межинтерфейсным адаптером. Адаптер обеспечивает преобразование параллельного 32-разрядного сигнала в последовательный цифровой сигнал. Блок AXI_TO_SPI выполняет роль преобразователя данных из параллельного вида в последовательный. Данный блок разделяет подаваемое с блока AXI_SLAVE 32-разрядное слово на 4 порции данных по 8 бит каждая, из которых 2 порции являются командами, выполняющие роль адресов необходимых для использования регистров, остальные 2 порции являются данными для передачи. Блок DIVIDER_FREQ является делителем частоты для увеличения производительности межинтерфейсного адаптера. Блок SPI_MASTER передает данные на ЦАП побитово: сначала идет команда, а потом соответствующие ей данные. Интерфейс передачи - SPI.

Блок soft-процессора Microblaze обеспечивает снижение нагрузки на другие шины для доступа к внутренней памяти ПЛИС (рис. 2). Интерфейс с сопроцессором Microblaze может помочь ускорить работу алгоритмов с большим количеством вычислений, а также передает часть вычислений в аппаратный блок (модуль AXI_TO_SPI_DEVICE) [3].



Рис. 2. Формат транзакций блока AXI_TO_SPI

Преобразователь USB_UART обеспечивает преобразование принимаемых данных по USB с последовательной передачей на UART для подачи данных на soft-процессор Microblaze.

Цифро-аналоговый преобразователь MCP4922 считывает данные с ПЛИС в последовательном виде и преобразует в синусоидальный сигнал. Выбор данного ЦАП был осуществлен из-за дешевизны микросхемы.

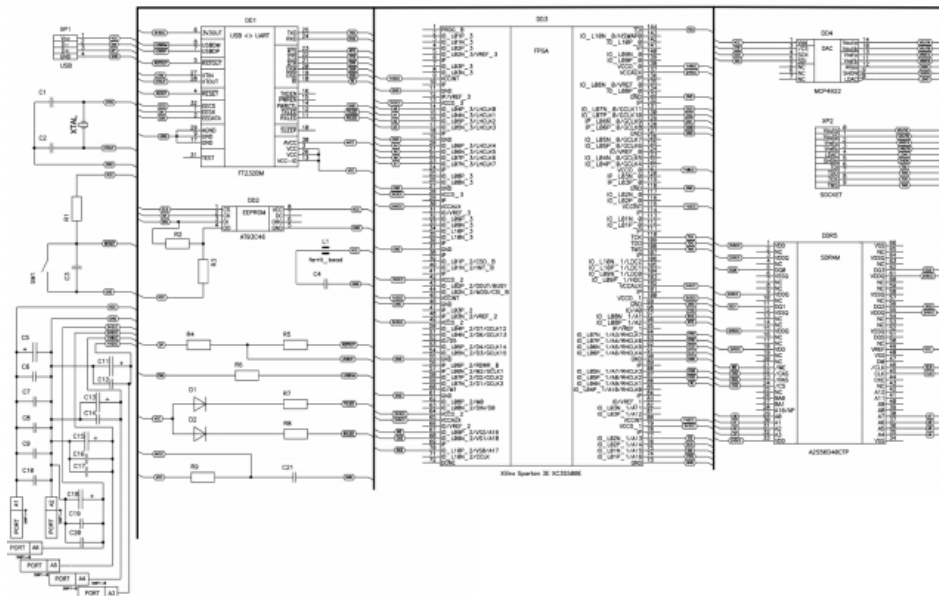


Рис. 3. Принципиальная схема генератора синусоидального сигнала

Синхронная динамическая память DDR SDRAM A2S56D40 CTP удваивает скорость передачи данных без увеличения тактового сигнала шины памяти.

Подключение ПК к устройству будет осуществляться через интерфейс USB (XP1), то есть с ЭВМ верхнего уровня [1, 3].

Принципиальная схема устройства и проектирование печатных плат

Для проектирования устройства была разработана принципиальная схема с помощью программы PCAD (рис. 3).

Для того, чтобы создать устройство на печатной плате, надо провести этапы компоновки и трассировки элементов на печатной плате. Для выполнения этих этапов надо сформировать нетлист, который создается после создания принципиальной схемы [2].

Верхний и нижний слои печатных плат представлены на рис. 4 и рис. 5 соответственно.

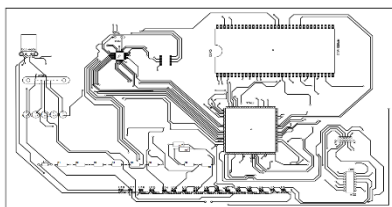


Рис. 4. Верхний слой печатной платы

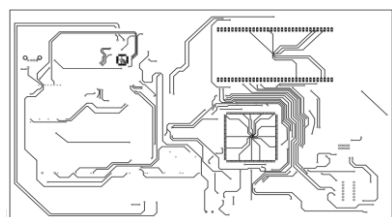


Рис. 5. Нижний слой печатной платы

Результаты полученных синусоидальных сигналов при задании оператором тестовых наборов CBEFF3A2 и 26DFBE34 можно увидеть на рис. 6.



Рис. 6. Результаты полученных синусоидальных сигналов (слева - CBEFF3A2, справа - 26DFBE34)

Заключение

В данной работе рассмотрена структурно-функциональная и принципиальная схемы генератора синусоидальных сигналов, описана работа устройства и приведены результаты исследований при подаче 2 тестовых наборов

Список использованных источников

1. Ключев А.О., Ковязина Д.Р., Петров Е.В., Платунов А.Е. Интерфейсы периферийных устройств. – СПб.: СПбГУ ИТМО, 2010.
2. Самоучитель по P-CAD // P-CAD LIB [Электронный ресурс]. – URL: <http://lib.qrz.ru/book/export/html/6676> (Дата обращения 13.09.2017).
3. MicroBlaze - семейство тридцатидвух-разрядных микропроцессорных ядер, реализуемых на основе ПЛИС фирмы Xilinx // Рынок микроэлектроники [Электронный ресурс]. – URL: http://www.compitech.ru/html.cgi/arhiv/03_09/stat_48.htm (Дата обращения 13.09.2017).