

Инженерная школа неразрушающего контроля и безопасности
 Направление подготовки 11.03.04 Электроника и нанoeлектроника
 Отделение школы (НОЦ) электронной инженерии

БАКАЛАВРСКАЯ РАБОТА

Тема работы
Разработка Ethernet коммутатора на 4 порта

УДК 004.312.24 :004.732

Студент

Группа	ФИО	Подпись	Дата
1А6А	Чащин Илья Алексеевич		

Руководитель ВКР

Должность	ФИО	Ученая степень, звание	Подпись	Дата
Доцент ОЭИ	Шульгина Ю. В.	к. т. н.		

КОНСУЛЬТАНТЫ ПО РАЗДЕЛАМ:

По разделу «Финансовый менеджмент, ресурсоэффективность и ресурсосбережение»

Должность	ФИО	Ученая степень, звание	Подпись	Дата
Доцент ОСГН	Маланина В.А.			

По разделу «Социальная ответственность»

Должность	ФИО	Ученая степень, звание	Подпись	Дата
Старший преподаватель отделения общетехнических дисциплин	Гуляев М. В.			

ДОПУСТИТЬ К ЗАЩИТЕ:

Руководитель ООП	ФИО	Ученая степень, звание	Подпись	Дата
Доцент	Иванова В. С.	к. т. н.		

<p>Перечень подлежащих исследованию, проектированию и разработке вопросов</p> <p><i>(аналитический обзор по литературным источникам с целью выяснения достижений мировой науки техники в рассматриваемой области; постановка задачи исследования, проектирования, конструирования; содержание процедуры исследования, проектирования, конструирования; обсуждение результатов выполненной работы; наименование дополнительных разделов, подлежащих разработке; заключение по работе).</i></p>	<p>Обзор литературы.</p> <p>Выбор и обоснование структурной схемы устройства.</p> <p>Реализация структурной схемы устройства на языке описания и верификации аппаратуры.</p> <p>Социальная ответственность.</p> <p>Финансовый менеджмент, ресурсоэффективность и ресурсосбережение.</p> <p>Заключение.</p>
<p>Перечень графического материала</p> <p><i>(с точным указанием обязательных чертежей)</i></p>	

Консультанты по разделам выпускной квалификационной работы

(с указанием разделов)

Раздел	Консультант
Финансовый менеджмент. Ресурсоэффективность и ресурсосбережение.	Маланина В.А.
Социальная ответственность	Гуляев М. В.

<p>Дата выдачи задания на выполнение выпускной квалификационной работы по линейному графику</p>	
--	--

Задание выдал руководитель:

Должность	ФИО	Ученая степень, звание	Подпись	Дата
Доцент ОЭИ	Шульгина Ю. В.	к. т. н.		

Задание принял к исполнению студент:

Группа	ФИО	Подпись	Дата
1А6А	Чащин Илья Алексеевич		

ЗАДАНИЕ ДЛЯ РАЗДЕЛА «ФИНАНСОВЫЙ МЕНЕДЖМЕНТ, РЕСУРСООБЪЕКТИВНОСТЬ И РЕСУРСОСБЕРЕЖЕНИЕ»

Студенту:

Группа	ФИО
1А6А	Чащин Илья Алексеевич

Инженерная школа	Неразрушающего контроля и безопасности	Отделение	Электронной инженерии
Уровень образования	Бакалавр	Направление / специальность	Электроника и наноэлектроника

Исходные данные к разделу «Финансовый менеджмент, ресурсоэффективность и ресурсосбережение»:

1. Стоимость ресурсов научного исследования (НИ): материально-технических, энергетических, финансовых, информационных и человеческих	Оклад руководителя — 35100 руб. Оклад инженера — 17000 руб.
2. Нормы и нормативы расходования ресурсов	Премияльный коэффициент руководителя 30%; Премияльный коэффициент инженера 30%; Дополнительной заработной платы 12%; Накладные расходы 16%; Районный коэффициент 30%.
3. Используемая система налогообложения, ставки налогов, отчислений, дисконтирования и кредитования	Коэффициент отчислений на уплату во внебюджетные фонды 30,2 %

Перечень вопросов, подлежащих исследованию, проектированию и разработке:

1. Оценка коммерческого потенциала, перспективности проведения поисковых ГРП с позиции ресурсоэффективности и ресурсосбережения	1. Основные технико—экономические показатели поисковых ГРП
2. Планирование и формирование бюджета поисковых ГРП	2. Расчет затрат времени, труда, материалов и оборудования по видам работ
3. Определение ресурсной (ресурсосберегающей), финансовой, бюджетной, социальной и экономической эффективности поисковых ГРП	3. Общий расчет сметной стоимости

Дата выдачи задания для раздела по линейному графику	
--	--

Задание выдал консультант:

Должность	ФИО	Ученая степень, звание	Подпись	Дата
Доцент ОСГН	Маланина В.А.	к.э.н., доцент		

Задание принял к исполнению студент:

Группа	ФИО	Подпись	Дата
1А6А	Чащин Илья Алексеевич		

ЗАДАНИЕ ДЛЯ РАЗДЕЛА «СОЦИАЛЬНАЯ ОТВЕТСТВЕННОСТЬ»

Студенту:

Группа	ФИО
1аба	Чащин Илья Алексеевич

Школа	Инженерная школа энергетики	Отделение школы (НОЦ)	ОЭЭ
Уровень образования	Бакалавр	Направление	11.03.04 Электроника и наноэлектроника

Тема ВКР:

Разработка Ethernet коммутатора на 4 порта	
Исходные данные к разделу «Социальная ответственность»:	
1. Характеристика объекта исследования.	Объектом исследования является разработка коммутатора Ethernet L2 на ПЛИС, реализованный на языке SystemVerilog.
Перечень вопросов, подлежащих исследованию, проектированию и разработке:	
1. Правовые и организационные вопросы обеспечения безопасности.	Рассмотреть специальные правовые нормы трудового законодательства; организационные мероприятия при компоновке рабочей зоны.
2. Производственная безопасность	<p>Анализ потенциально возможных вредных и опасных факторов проектируемой производственной среды.</p> <p>Разработка мероприятий по снижению воздействия вредных и опасных факторов</p> <ul style="list-style-type: none"> – повышенный уровень шума на рабочем месте; – недостаточная освещенность рабочей зоны; – повышенный уровень напряженности электростатического и электромагнитных полей (ЭМП); – неудовлетворительный микроклимат – повышенный уровень напряженности электростатического поля – электроопасность
3. Экологическая безопасность	<ul style="list-style-type: none"> – анализ воздействия объекта на литосферу (отходы, утилизация компьютерной техники и периферийных устройств); – решение по обеспечению экологической безопасности.
4. Безопасность в чрезвычайных ситуациях:	<ul style="list-style-type: none"> – Анализ возможных ЧС при разработке и эксплуатации проектируемого решения; – выбор наиболее типичной ЧС; – разработка превентивных мер по предупреждению ЧС;

	<ul style="list-style-type: none"> – разработка действий в результате возникшей ЧС и мер по ликвидации её последствий. – Пожаровзрывоопасность (причины, профилактические мероприятия, первичные средства пожаротушения)
--	--

Дата выдачи задания для раздела по линейному графику	
---	--

Задание выдал консультант:

Должность	ФИО	Ученая степень, звание	Подпись	Дата
Старший преподаватель отделения общетехнических дисциплин	Гуляев Милий Всеволодович			

Задание принял к исполнению студент:

Группа	ФИО	Подпись	Дата
1А6А	Чащин Илья Алексеевич		

Планируемые результаты обучения

Код	Результат обучения
Общие по направлению подготовки	
P1	Применять базовые и специальные естественнонаучные, математические, социально-экономические и профессиональные знания в комплексной инженерной деятельности при разработке, исследовании, эксплуатации, обслуживании и ремонте современной высокоэффективной электронной техники
P2	Ставить и решать задачи комплексного инженерного анализа и синтеза с использованием базовых и специальных знаний, современных аналитических методов и моделей
P3	Выбирать и использовать на основе базовых и специальных знаний необходимое оборудование, инструменты и технологии для ведения комплексной практической инженерной деятельности с учетом экономических, экологических, социальных и иных ограничений
P4	Выполнять комплексные инженерные проекты по разработке высокоэффективной электронной техники различного назначения с применением базовых и специальных знаний, современных методов проектирования для достижения оптимальных результатов, соответствующих техническому заданию с учетом экономических, экологических, социальных и других ограничений
P5	Проводить комплексные инженерные исследования, включая поиск необходимой информации, эксперимент, анализ и интерпретацию данных с применением базовых и специальных знаний и современных методов для достижения требуемых результатов
P6	Внедрять, эксплуатировать и обслуживать современное высокотехнологичное оборудование в предметной сфере электронного приборостроения, обеспечивать его высокую эффективность, соблюдать правила охраны здоровья и безопасности труда, выполнять требования по защите окружающей среды
P7	Использовать базовые и специальные знания в области проектного менеджмента для ведения комплексной инженерной деятельности с учетом юридических аспектов защиты интеллектуальной собственности
P8	Осуществлять коммуникации в профессиональной среде и в обществе, в том числе на иностранном языке, разрабатывать документацию, презентовать и защищать результаты комплексной инженерной деятельности
P9	Эффективно работать индивидуально и в качестве члена команды, проявлять навыки руководства группой исполнителей, состоящей из специалистов различных направлений и квалификаций, с делением ответственности и полномочий при решении комплексных инженерных задач
P10	Демонстрировать личную ответственность, приверженность и готовность следовать профессиональной этике и нормам ведения комплексной инженерной деятельности

P11	Демонстрировать знание правовых социальных, экологических и культурных аспектов комплексной инженерной деятельности, компетентность в вопросах охраны здоровья и безопасности жизнедеятельности
P12	Проявлять способность к самообучению и непрерывно повышать квалификацию в течение всего периода профессиональной деятельности
Элективная группа «Инжиниринг в электронике»	
P13	Проектировать, конструировать, проводить необходимые инженерные расчеты и испытания для обеспечения качественной и надежной работы высокотехнологичных электронных и механотронных приборов, систем и устройств и средств их испытаний.
P14	Проводить сопровождение технологического процесса изготовления изделий микроэлектроники.
P15	Проектировать, конструировать, проводить моделирование, верификацию и уточнение разработанных микро и наноразмерных электромеханических систем и цифровых схем для их управления включая разработку физического прототипа.
Элективная группа «Промышленная электроника»	
P16	Осуществлять профессиональную деятельность в области разработки, проектирования и эксплуатации преобразователей электрической энергии высокоэффективной электронной техники.
P17	Разрабатывать, проектировать, использовать в профессиональной деятельности устройства, приборы и системы аналоговой и цифровой электронной техники различного назначения.
P18	Проектировать, проводить технологическое сопровождение создания и осуществлять эксплуатацию электронных средств и электронных систем для обеспечения долговечного бесперебойного функционирования бортовых комплексов управления (БКУ).

Реферат

Выпускная квалификационная работа 95 с., 19 рис., 20 табл.,
источник.

41

Ключевые слова: коммутатор, Ethernet, кадр, модель OSI, SystemVerilog, качество обслуживания, MAC таблица.

Объектом исследования является коммутатор Ethernet.

Цель работы – разработка Ethernet коммутатора на 4 порта.

В процессе исследования проводился анализ работы локальной и глобальной сетей, разработка структурной и принципиальной схемы устройства, типовые архитектуры коммутаторов.

В результате исследования была реализована архитектура Ethernet коммутатора на 4 порта на ядре Cyclone V. Были проведены тест, подтверждающие работоспособность.

Основные конструктивные, технологические и технико— эксплуатационные характеристики: 4 порта со скоростью 1000 Мбит/с, время задержки кадра не более 352 нс, время хранения MAC адресов 5 минут, тип организации очереди: Best Effort.

Степень внедрения: опытный образец с урезанным функционалом.

Область применения: разработанное устройство может применяться в локальной сети с трафиком не более 1000 Мбит/с.

Экономическая эффективность/значимость работы: проект обладает средней экономической эффективностью

В будущем планируется увеличить функционал QoS и реализовать VLAN по тегам.

Оглавление

Термины и сокращения	13
Введение.....	14
1 Обзор литературы и анализ устройства коммутатора	16
1.1 Место технологии Ethernet в модели OSI.....	16
1.2 Устройство кадра в Ethernet	20
1.3 Архитектура коммутаторов.....	22
1.3.1 Разделяемая шина	23
1.3.2 Разделяемая память.....	25
1.3.3 Коммутационная матрица	26
1.3.4 Коммутационная матрица с буферизацией.....	28
1.3.5 Коммутационная матрица с арбитражем	28
1.3.6 MAC таблица	33
2 Разработка архитектуры устройства и ее реализация.....	35
2.1 Разработка алгоритма функционирования	35
2.1 Разработка структурной схемы.	38
2.2 Реализация структурной схемы.....	42
2.3 Тестирование.....	43
2.3.1 Симуляция дизайна	43
2.3.2 Тестирование на плате МД1 -1РУ.....	45
3 Финансовый менеджмент, ресурсоэффективность и ресурсосбережение...47	
3.1 Оценка коммерческого потенциала и перспективности проведения научных исследований с позиции ресурсоэффективности и ресурсосбережения.....	47

3.1.1	Потенциальные потребители результатов исследования.....	47
3.1.2	SWOT-анализ	48
3.2	Планирование научно-исследовательских работ	51
3.2.1	Структура работ в рамках научного исследования.....	51
3.2.2	Определение трудоемкости выполнения работ	53
3.2.3	Разработка графика проведения научного исследования	53
3.2.4	Бюджет научно-технического исследования	57
3.2.5	Расчет материальных затрат НТИ.....	57
3.2.6	Расчет затрат на специальное оборудование для научных (экспериментальных) работ.....	59
3.2.7	Основная заработная плата исполнителей темы.....	60
3.2.8	Дополнительная заработная плата исполнителей темы.....	62
3.2.9	Отчисления во внебюджетные фонды (страховые отчисления)	63
3.2.10	Накладные расходы.....	63
3.2.11	Формирование бюджета затрат научно-исследовательского проекта.....	64
3.3	Определение ресурсной (ресурсосберегающей), финансовой, бюджетной, социальной и экономической эффективности исследования.....	65
4	Социальная ответственность	66
4.1	Правовые и организационные вопросы обеспечения безопасности	66
4.1.1	Специальные (характерные для проектируемой рабочей зоны) правовые нормы трудового законодательства.....	66

4.1.2 Организационные мероприятия при компоновке рабочей зоны	67
4.2 Производственная безопасность	67
4.2.1 Анализ потенциально возможных и опасных факторов, которые могут возникнуть на рабочем месте при проведении исследований	68
4.2.2 Разработка мероприятий по снижению воздействия вредных и опасных факторов	70
4.3 Экологическая безопасность	77
4.3.1 Анализ влияния объекта исследования на окружающую среду	77
4.3.2 Анализ влияния процесса исследования на окружающую среду	78
4.4 Безопасность в чрезвычайных ситуациях	78
4.4.1 Анализ вероятных ЧС, которые может инициировать объект исследований и обоснование мероприятий по предотвращению ЧС	78
4.4.2 Анализ вероятных ЧС, которые могут возникнуть при проведении исследований и обоснование мероприятий по предотвращению ЧС	80
Заключение	83
Список использованной литературы	85
Приложение А	89

Термины и сокращения

RAM (Random Access Memory) – оперативная память.

FIFO (First Input First Output) – оперативная память построенная по типу "первым пришел, первым ушел".

GMII (Gigabit Media-Independent Interface) — интерфейс для работы с гигабитным Ethernet.

LAN (Local Area Network) – локальная вычислительная сеть.

WAN (Wide Area Network) – глобальная вычислительная сеть.

Модель OSI — (The Open Systems Interconnection model) — сетевая модель стека сетевых протоколов OSI/ISO. Модель определяет различные уровни взаимодействия систем. Каждый уровень выполняет определённые функции при таком взаимодействии.

MAC (media access control) – подуровень канального уровня модели OSI, обеспечивающий адресацию.

VLAN (Virtual Local Area Network) – локальная вычислительная сеть.

FCS (Frame check sequence) – контрольная сумма для проверки целостности кадра.

ASIC (application—specific integrated circuit) – интегральная схема особого назначения. Предназначается для решения узконаправленных задач.

FPGA (field-programmable gate array) – программируемая логическая интегральная схема.

CIOQ (Combined Input and Output Queued) – комбинирование входных и выходных очередей.

PLL (Phase Locked Loop) – фазовая автоподстройка частоты. Применяется для синхронизации тактовых импульсов или повышения частоты [2].

QoS (quality of service) – «качество обслуживания», термин обозначающий реакцию узла на перегрузку и предварительное предотвращение перегрузки.

Введение

Локальная сеть (LAN, Local Area Network) – это компьютерная сеть, позволяющая нескольким компьютерам (офисам, квартирам, домам, районам) подключаться к Интернету через единую точку доступа.

Современный мир сложно представить без локальных сетей. Без них не было бы глобальных сетей (WAN), компании и государственные структуры лишились скоростного и защищенного способа передачи информации, а организация совместной работой над одним проектом стала бы гораздо сложнее.

Для построения локальных сетей может быть применена технологии с проводным доступом (Ethernet) или беспроводным доступом (Wi—Fi, Bluetooth, GPRS). Проводные локальные сети строятся в подавляющем большинстве случаев по технологии Ethernet. Т.е. к точке доступа протягивается оптоволоконный кабель, DSL канал или ставится кабельный модем, а от нее отходит кабель Ethernet к пользователям — участникам локальной сети. Кабельные локальные сети являются более надёжными, чем беспроводная, независим к погодным условиям, а также обладают большей скоростью передачи данных [5].

Для организации локальной сети по технологии Ethernet необходимо устройство, перенаправляющее информацию нужному пользователю. Этим устройством является коммутатор. Коммутатор обеспечивает коммутацию на канальном уровне модели OSI. В отличие от концентратора, который передает трафик от отправляющего устройства ко всем остальным участникам сети, коммутатор передаёт данные только адресату, то есть осуществляет непосредственное соединение передатчика и приемника, исключением являются широковещательные пакеты и пакеты, адреса назначения для которого нет в таблице маршрутизации, они отправляются всем. Это повышает безопасность сети и ее производительность за счет уменьшения потока данных в остальные сегменты сети, для которых и предназначается трафик.

Если устройство используется для обеспечения связи на закрытом объекте, то возникает задача обеспечить защищенность данного устройства, не изменяя скорость передачи данных. По этой причине, актуальность в данном устройстве не пропадает и по сей день.

Выбор ПЛИС для данной задачи является оптимальным, так как позволяет обеспечить параллельную обработку входящих данных и высокую скорость работы.

1 Обзор литературы и анализ устройства коммутатора

Ethernet – это технология организации локальных сетей, получившая наибольшую распространённость. Стандарты Ethernet описывают реализацию двух первых уровней модели OSI — физическом и канальном. [5]

1.1 Место технологии Ethernet в модели OSI

Для того, чтобы понять роль коммутатора в сети передачи данных необходимо иметь общее представление об устройстве сети. Для этого рассмотрим модель OSI (рис.1), которая представляет теоретический стандарт функциональных уровней для взаимодействий компьютеров в сети. Представления модель была разработана в 1984 году и была необходима для обобщения средств сетевой коммуникации. Модель OSI представляет собой перечень протоколов, которые поделены на 7 уровней в зависимости от выполняемой роли в сети. Рассмотрим каждый из них подробнее далее [15].

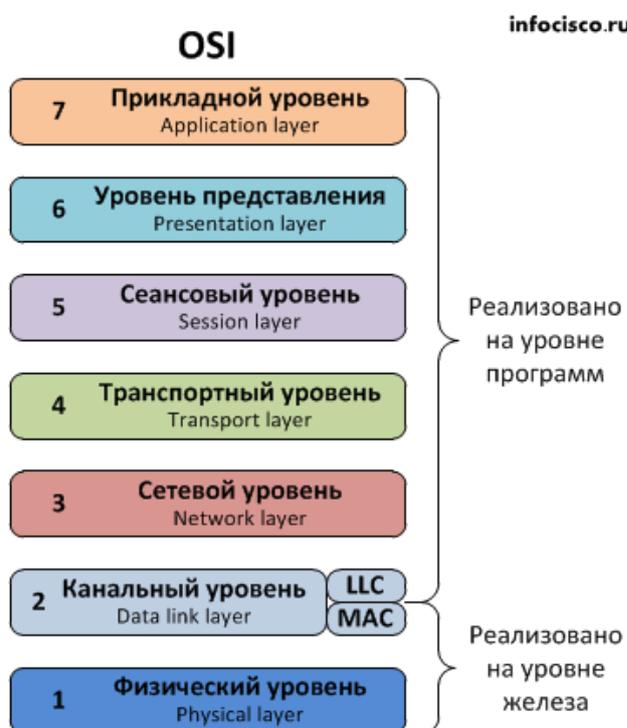


Рисунок 1 — Модель OSI

Физический уровень. Физический уровень в модели OSI описывает передачу, прием и отправку информации между узлами сети. Функционал физического уровня реализуется во всех устройствах, так как без него устройство не сможет выполнять свои прямые обязанности – передачу данных. Например, для компьютера роль физического уровня выполняется последовательным портом или сетевым адаптером. В качестве примера протокола физического уровня можно привести спецификацию 10Base-T технологии Ethernet, которая задает требования передающему кабелю. По этой спецификации, в качестве среды передачи между сегментами сети используется неэкранированной витой паре категории 3 с волновым сопротивлением 100 Ом, разъем стандарта RJ-45, максимальную длину кабеля 100 метров. Главной особенностью этого уровня является то, что не производится никакого анализа передающейся информации, так как контролем передаваемой информации занимаются более высокие уровни, а задачей физического уровня является передать без потерь и искажений [4].

Канальный уровень. Канальный уровень является самым низкоуровневым в модели OSI, на котором производится коммутация отправителя и принимающего. На канальном уровне в качестве протокольного блока данных выступает кадр (frame). На основе технологий, применяемых на данном уровне, уже можно построить локальную сеть. Функционал, который требуется от локального уровня, зависит от того, в какой сети он применяется. Если это локальная сеть, то канальный уровень должен обеспечивать доставку кадра между любыми узлами сети. В этом случае важно учесть топологию сети. В глобальных сетях нет возможности применять инструменты канального уровня для передачи кадра от отправителя к получателю, эту задачу выполняют более высокие уровни модели OSI, на канальный уровень же должен обеспечивать доставку кадра только между двумя соседними узлами сети. Также к функциям канального уровня относятся обнаружение и коррекция ошибок,

а также в случаях использования разделяемой среды передачи проверка доступности сети [4].

О том, каким образом данный уровень справляется с этими задачами, будет описано в следующей главе.

Сетевой уровень. К этому уровню относятся протоколы, задача которых состоит в передаче трафика между LAN, построенных по разной технологии, и маршрутизации по всей WAN, а не только по локальной сети, как это было на канальном уровне. На данном уровне основной рабочей единицей является маршрутизатор.

В обязанности маршрутизатора входит:

- Сбор информации о сети. За это отвечают *протоколы маршрутизации*.
- Определение маршрута трафика (считаю нужным уточнить, что маршрутизатор выбирает только к какому следующему маршрутизатору отправить пакет, а не весь маршрут целиком). За это отвечают *маршрутизируемые протоколы*.

Транспортный уровень. Этот уровень обеспечивает степень надежности передачи, которая необходима приложению, отправляющему трафик через сеть. Весь трафик делится на 5 классов в зависимости от срочности и возможности восстановить потерянные данные. Также к задачам транспортного уровня относится проверка передаваемых данных и их восстановление в случае повреждения.

Сеансовый уровень. Этот уровень отслеживает активность сторон и обеспечивает синхронизацию сеансов. Также, при длительной передаче данных идет периодическое фиксирование результата. Однако данная услуга не является повсеместной и используется в специфичных условиях [4].

Уровень представлений. Этот уровень занимается преобразованием передаваемой информации для повышения конфиденциальности и удобства

обращения с полученной информацией. Решаются задачи, как перевод кодировки текста (например ASCII и EBCDIC), шифрование и дешифрование.

Прикладной уровень. Данный уровень представляет собой набор протоколов для получения доступа к разделяемым ресурсам пользователями. Например, к общему принтеру или к веб—сайту. К этому уровню относятся HTTP, HTTPS, NFS и многие другие.

Так какое же место занимает Ethernet во всей этой системе? Семейство технологий Ethernet описывает физические принципы передачи на физическом уровне и устройство кадра на канальном уровне.

Стандарт Ethernet был принят в 1984 году. Главный принцип, который реализовывался в стандарте – свободный доступ в сеть без ограничения окна передачи по времени. Другими словами, любой абонент может выйти на связь, если среда передачи не занята. С развитием технологий, переходом на передачу по витой паре и оптоволокну, а также применением коммутаторов, проблема доступа к среде передачи ушла.

Стандарт был разработан институтом инженеров по электротехнике и электронике (Institute of Electrical and Electronics Engineers, в сокращение IEEE) – некоммерческой организацией, занимающейся созданием стандартов в области вычислительных систем и сетей связи. В 1981 году 802—ая рабочая группа сформировала требования, необходимые для реализации локальной сети. Группа 802 определила множество стандартов. Самые известные из них считаются стандарты 802.1 (Управление сетевыми устройствами и их взаимодействие), 802.2(LLC), 802.3(Ethernet), 802.11(WiFi). Стандарт IEEE 802.3 описывает устройство LAN по технологии Ethernet. По данной причине он и будет использоваться как основной норматив.

Все описание по технологии содержится в стандарте 802.3—2005, последней версии документа, содержащий все наработки предыдущих лет как в способах физической коммуникации, так и новые, более быстрые интерфейсы.

1.2 Устройство кадра в Ethernet

Ethernet — пакетная технология передачи данных, это значит, что информация отправляется не вся сразу, а разбивается на сегменты. В технологии Ethernet они называются кадрами (frames). Устройство кадра представлено на рисунке 2 [9]:

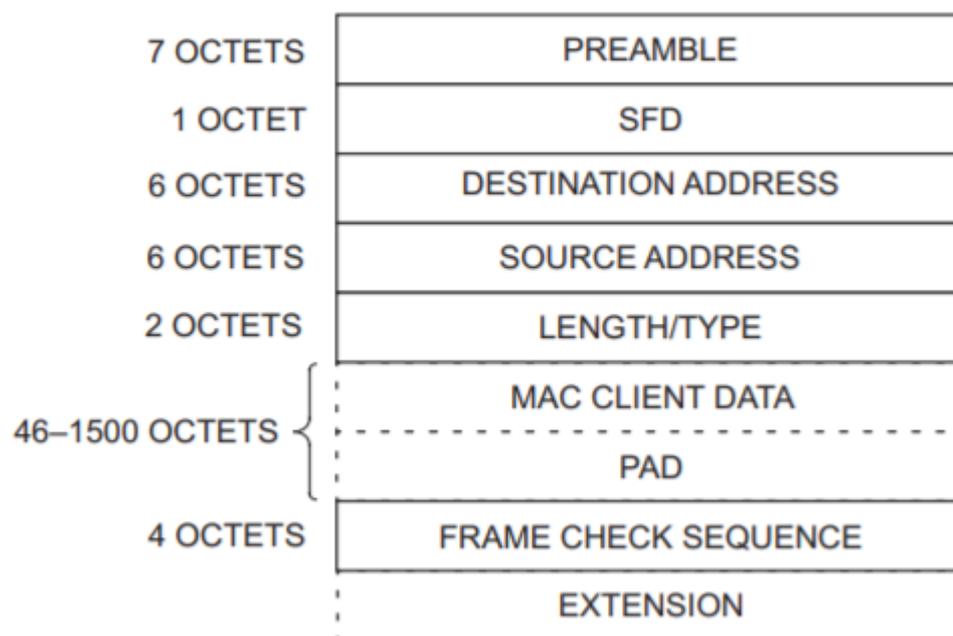


Рисунок 2 — Формат кадра в Ethernet с VLAN тэгом

Казалось бы, на этом можно закончить, осталось только перевести названия и все, работа сделана, но давайте быть честными, без объяснения, для чего каждый сегмент нужен и что в него обычно записывают, практически ничего не понятно.

Preamble — преамбула. Что же такое преамбула? Это последовательность 0 и 1 необходимая для синхронизации. Занимает первые 7 байт, каждый байт содержит число 55 в 16ой системе исчисления. Если перевести его в двоичную систему, то видно, что это просто последовательность 1 – 0. Стоит отметить, что данная часть присутствовала во всех версиях Ethernet.

SFD (start-of-frame delimiter) – как нетрудно догадаться из названия, это сигнал старта приема информации, которая нам нужна. Занимает 1 байт.

Представляет собой число 10101011. Если преамбула и делимитр не несут никакой смысловой нагрузки, а только обеспечивают взаимодействие между устройствами, то дальше идут данные со смысловой нагрузкой.

Destination address — адрес получателя. MAC адрес. Составляет 6 байт. Каждое устройство имеет свой индивидуальный MAC адрес, их контролем и выдачей занимается комитет IEEE Registration Authority. Если вы являетесь конечным пользователем, то уже на этом этапе вы можете откинуть фрейм, т.к. он переназначен не вам. Если же фрейм приходит на коммутатор, то после приема этого адреса начинается поиск порта, на который нужно передать фрейм в MAC таблице.

Source address — адрес отправителя. MAC адрес. Также 6 байт. Позволяет узнать, от кого пришел кадр и кому писать ответ. Если приходит на свитч, то записывается в MAC таблицу и позволяет узнать, на какой порт требуется переслать фрейм, если в нем он указан в качестве Destination address.

Length/Type — имеет размер 2 байта и может хранить в себе одно из двух значений, в зависимости от числа в нем лежащего:

А) длина кадра. В таком случае, в рассматриваемом сегменте указывается длина кадра.

Б) Если значение этого поля больше или равно десятичному 1536 (равно шестнадцатеричному 0600), то поле Длина / Тип указывает на характер протокола клиента MAC (интерпретация типа). Если это так, то следующие 4 байта выделены под тип и служебную информацию. Например, тэг VLAN и уровень важность (необходимо для QoS).

Стоит уточнить важный момент, что эти функции являются взаимоисключающими.

MAC client data — пожалуй самый простой из всех элементов. В нем содержится передаваемая информация, в том числе и информация верхних уровней модели OSI. Размер от 46 до 1500 байт. Данное ограничение идет еще с первых сетей из далеких восьмидесятых и до сих пор актуально, чтобы можно

было применять старое оборудование. Раздел PAD является дополнением. Если размер передаваемой информации слишком мал, то добавляется PAD, содержащий только нули.

FCS (Frame check sequence) — контрольная сумма. Занимает 4 байта. Служит для проверки всего фрейма на наличие повреждений. Является циклическим избыточным кодом с полиномом:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

1.3 Архитектура коммутаторов

Главным компонентом в коммутаторе во круг которого строится вся работа устройства является узел обмена. Для ускорения операций коммутации, в современных коммутаторах используются специализированные БИС – ASIC, которые настроены на оптимальное произведение операций коммутаций. В последнее время важную роль в проектирование и построение коммутаторов стали играть FPGA. Данные устройства относятся к СБИС и могут выполнять все, что могут БИС – ASIC, но при этом могут программироваться и перепрограммироваться. Решение применять FPGA позволяет удешевить стоимость производства, так как они, в отличие от БИС – ASIC, производятся массово, а также оперативно производить изменения в логику работы при изменении старых стандартов и внедрение новых [1].

Поскольку узел обмена является центральным компонентом всей системы, остро стоит вопрос отказоустойчивости. Данная проблема ложится на разработчика архитектуры и решается резервированием критически важных для работы блоков.

Узел обмена выполняет следующий функционал:

- а) переключение входящего трафика на другой порт;
- б) предоставляет качество обслуживания (Quality of Service или в сокращение QoS);

в) обеспечивает отказоустойчивость.

При разработке важно помнить, что в архитектуре коммутационной матрицы высоко ценится масштабируемость, свойство, обозначающее изменение числа портов без потерь производительности.

Стоит отметить, что конструкция узла обмена подразумевает равноправный доступ ко всем портам, однако в современных коммутаторах есть возможность ограничить доступ одного порта к другим.

Производительность узла обмена определяют как максимальная полоса пропускания без ошибок при коммутации и отбрасывания кадров.

"Неблокирующей" коммутирующей матрицей (non—blocking switch fabric) является такая матрица, у которой производительность и QoS не зависят от типа трафика, коммутируемого через матрицу, и производительность равна сумме скоростей всех портов:

$$V = 2 \cdot \sum_i^N Cp_i \quad (1)$$

где Cp_i — максимальная производительность протокола порта;

i — номер порта;

N — число портов.

В настоящее время существуют следующие схемы устройства узлов обмена.

- разделяемая шина
- разделяемая многовходовая память
- коммутационная матрица

Далее мы рассмотрим каждый подробнее.

1.3.1 Разделяемая шина

Как не трудно догадаться из названия, в архитектуре с разделяемой шиной для передачи информации с одного порта на другой используется шина, с подключенными портами.

При такой конфигурации, время использования среды передачи, то есть шины, разделено во времени. То есть в конкретный момент времени передавать сигнал по ней может только один порт. Задача распределения времени ложится на централизованный арбитр, блок, который предоставляет доступ к шине. Также для того, чтобы принимающие порты могли разобрать, для кого предназначается кадр, в начале фрейма добавляется тег порта адресата.

Рассматриваемая архитектура будет являться неблокирующей, если сумма скоростей портов меньше скорости шины. Следовательно, производительность архитектуры упирается в скорость работы передающей шины. Так же «узким местом» является централизованный арбитр, в скорость которого будет упираться производительность всего устройства, если общая полоса пропускания ниже производительности шины [7].

Плюсом этого устройства можно считать простоту и надежность. Однако из всего выше сказанного видны следующие недостатки: плохая масштабируемость и малая скорость работы, т.к. передавать данные может только 1 порт, когда остальные вынуждены ждать, чтобы сгладить этот недостаток, передача кадра идет частями по несколько байт.

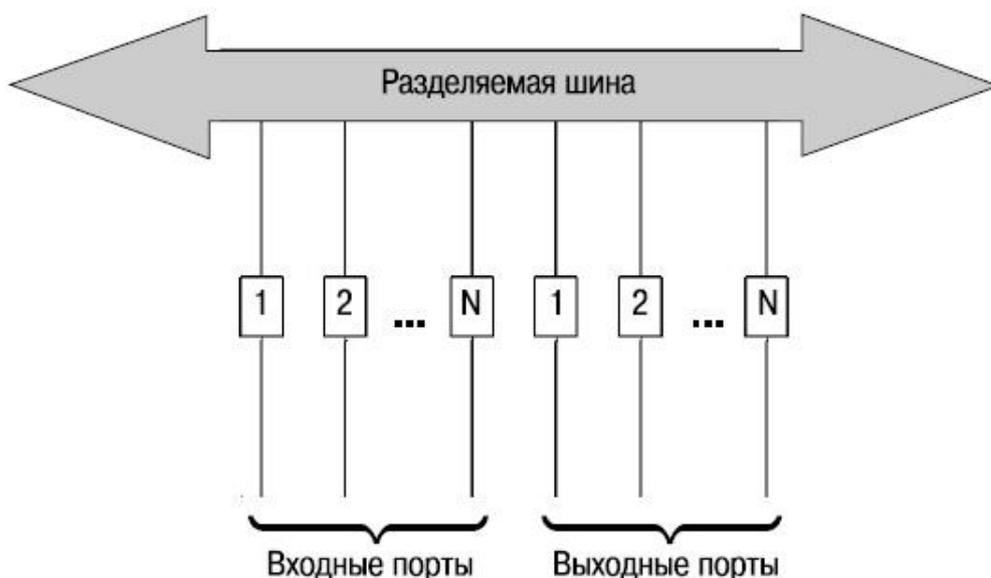


Рисунок 3 — Архитектура с разделяемой шиной

1.3.2 Разделяемая память

Этот тип архитектуры в качестве среды передачи использует блок RAM с возможностью одновременной записи и чтения информации. В определенный момент времени доступ к памяти имеет только один порт, следовательно, записывает только один порт.

Во время приема портом кадра, идет анализ поступающего сегмента фрейма и сбор данных. Исходя из полученных данных, назначается номер (или номера) выходного порта и порядок в выходной очереди. Затем, входные блоки портов передают запросы на запись менеджеру очередей выходных портов – блоку, контролирующей переключение памяти между портами. Исходя из полученной ранее информации, менеджер решает, в какую очередь должен быть записан кадр. По мере заполнения очередей менеджер также начинает считывать из них кадры для каждого порта, основываясь заданной логикой и настройками QoS. Пример архитектуры на разделяемой памяти приведен на рис.3.

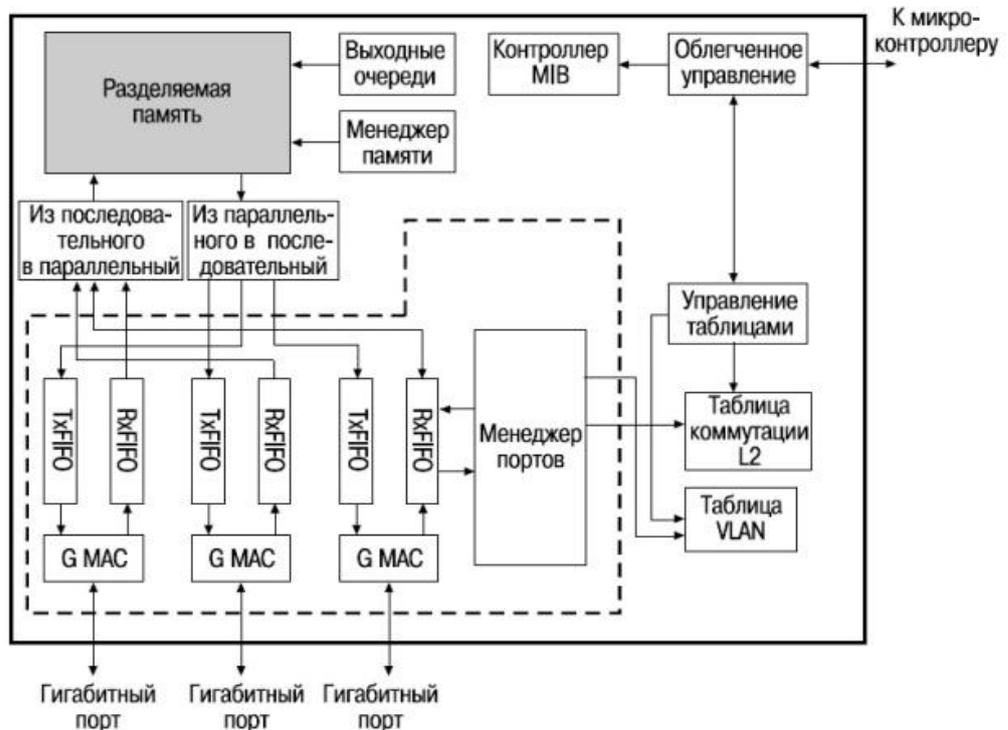


Рисунок 4 — Архитектура с разделяемой памятью

Стоит отметить, что подобно архитектуре с расширяемой шиной, менеджер очередей выходных портов предоставляет каждому порту временной период, достаточный для записи лишь несколько байт. Таким образом создается псевдопараллельная работа с несколькими портами [7].

Однако, оперативная память должна быть доступна всем портам при передаче на максимальной скорости. Из этого следует, что скорость работы матрицы должна быть равна сумме скоростей работы всех портов. В этом и кроется основной недостаток архитектуры с разделяемой памятью. К RAM предъявляются высокие требования по скорости работы, что также сильно ограничивает масштабируемость архитектуры. Также, необходимо помнить, что контролер памяти должен работать с той же скоростью, что и память, что может быть трудно реализовать при большом количестве выходных очередей и сложном планировании. Поэтому в чистом виде описанная архитектура используется для небольшого числа портов [7].

1.3.3 Коммутационная матрица

Параллельно с появлением архитектуры с разделяемой памятью (в середине 1990-х годов) была разработана архитектура на основе коммутационной матрицы (*Crossbar architecture*). Эта архитектура используется для построения коммутаторов различных типов.

Существует множество вариаций архитектуры этого типа. Базовая архитектура на основе коммутационной матрицы $N \times N$ непосредственно соединяет N входных портов с N выходными портами в виде матрицы. В местах пересечения проводников, соединяющих входы и выходы, находятся коммутирующие устройства, которыми управляет специальный контроллер. В каждый момент времени, анализируя адресную информацию, контроллер сообщает коммутирующим устройствам, какой выход должен быть подключен к какому входу. В том случае, если два входящих пакета от разных портов—

источников будут переданы на один и тот же выходной порт, он будет заблокирован. Существуют различные подходы к решению этой проблемы: повышение производительности матрицы по сравнению с производительностью входных портов или использование буферов памяти и арбитров.

Несмотря на простой дизайн, одной из фундаментальных проблем архитектуры на основе коммутационной матрицы остается ее масштабируемость. При увеличении количества входов и выходов усложняется схемотехника матрицы и в особенности контроллера. Поэтому для построения многопортовых коммутационных матриц используется другой подход, который заключается в том, что простые коммутационные матрицы связываются между собой, образуя одну большую коммутационную матрицу.

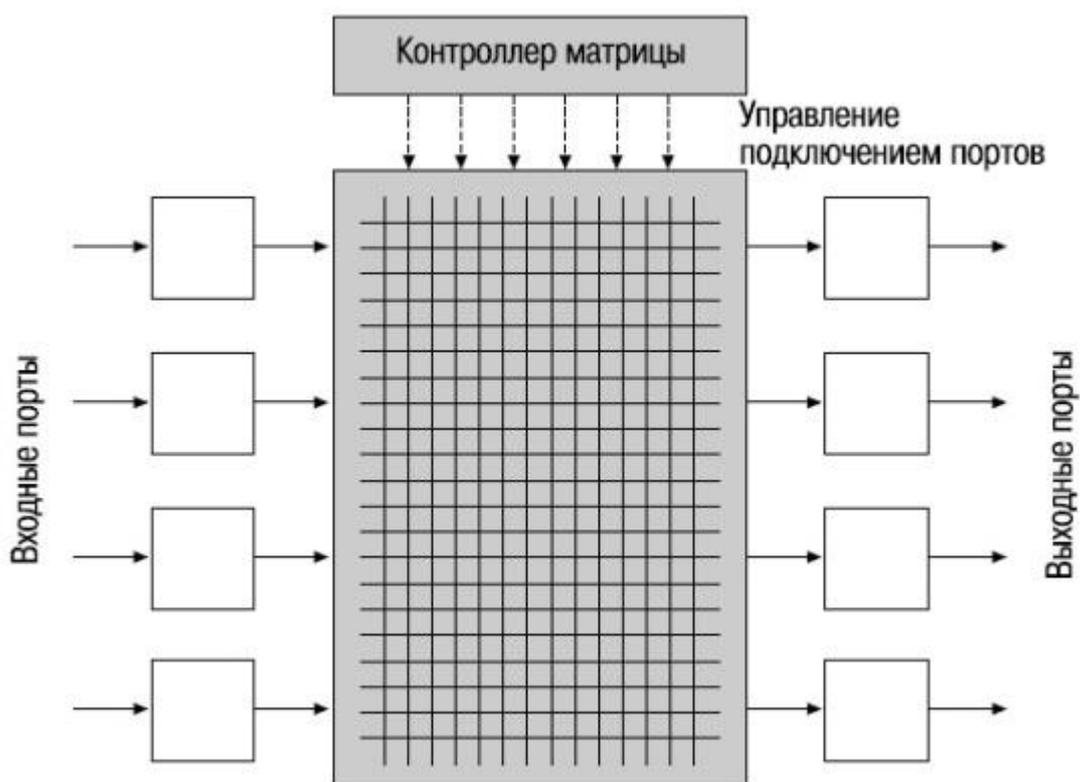


Рисунок 5 — Архитектура на основе коммутационной матрицы

Можно выделить два типа коммутаторов на основе коммутационной матрицы:

- коммутаторы на основе коммутационной матрицы с буферизацией (buffered crossbar);

- коммутаторы на основе коммутационной матрицы с арбитражем (arbitrated crossbar).

1.3.4 Коммутационная матрица с буферизацией

В коммутаторах на основе коммутационной матрицы с буферизацией буферы расположены на трех основных стадиях: на входе и выходе и непосредственно на коммутационной матрице. Благодаря наличию очередей на трех стадиях эта архитектура позволяет избежать сложностей, связанных с реализацией механизма централизованного арбитража. На выходе каждой из стадий осуществляется управление очередями с помощью одного из алгоритмов диспетчеризации [7].

Несмотря на то, что эта архитектура является простейшей архитектурой коммутаторов, из—за независимости стадий для нее существуют сложности с реализацией качества обслуживания (QoS) в пределах коммутатора.

1.3.5 Коммутационная матрица с арбитражем

Эта архитектура характеризуется наличием безбуферных коммутирующих элементов и арбитра, который управляет передачей трафика между входами и выходами матрицы. Отсутствие буферов у коммутирующих элементов компенсируется наличием буферов входных и выходных портов. Обычно разработчики используют один из трех методов буферизации: выходные буферы, входные буферы, комбинированные входные и выходные буферы [7].

В коммутаторах с входными очередями (Input—Queued Switch) память каждого входного порта организована в виде очереди типа FIFO (First Input First Output — "первым пришел, первым ушел"), которая используется для буферизации пакетов перед началом процесса коммутации. Одной из проблем этого типа коммутационной матрицы является блокировка первым в очереди

(Head—Of—Line blocking, HOL). Она возникает в том случае, когда коммутатор пытается одновременно передать пакеты из нескольких входных очередей на один выходной порт. При этом пакеты, находящиеся в начале этих очередей, блокируют все остальные пакеты, находящиеся за ними. Для принятия решения о том, какой пакет и из какой очереди может получить доступ к матрице, используется арбитр. Перед передачей пакета входные порты направляют арбитру запросы на подключение к разделяемому ресурсу (в данном случае — пути матрицы) и получают от него право на подключение [13].

Арбитр принимает решение о последовательности передачи пакетов из входных очередей на основе алгоритма диспетчеризации (scheduling algorithm).

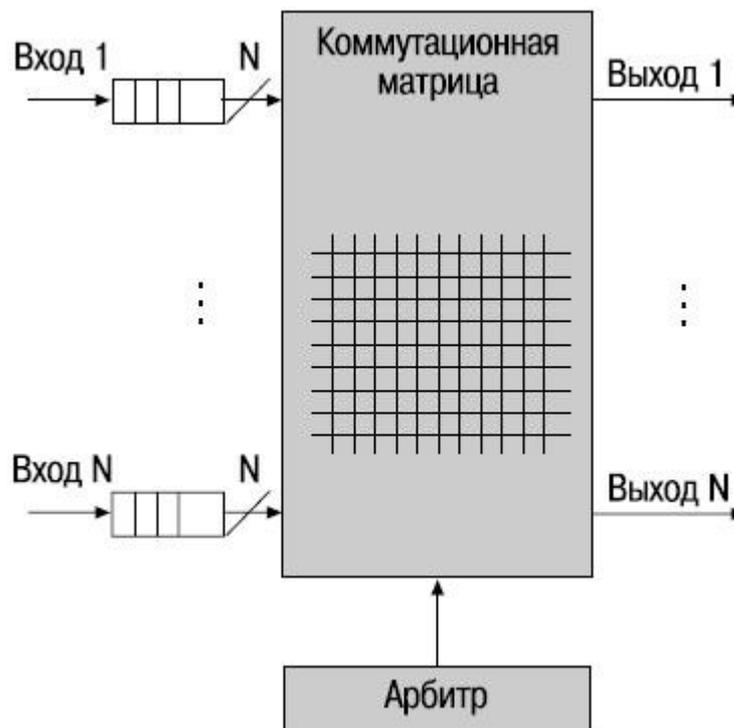


Рисунок 6 — Архитектура на основе коммутационной матрицы с входными очередями

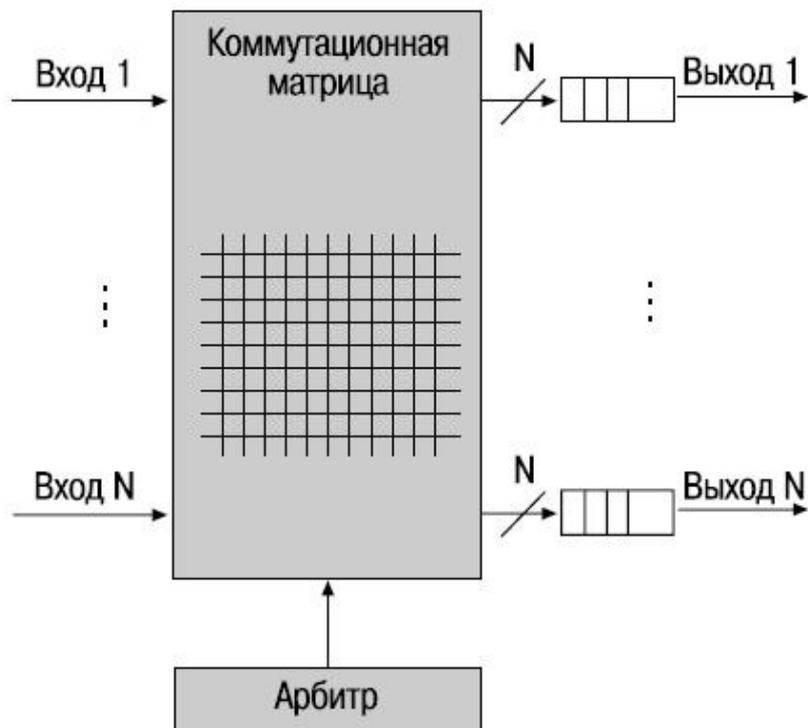


Рисунок 7 — Архитектура на основе коммутационной матрицы с выходными очередями

В коммутаторах с выходными очередями (output—queued switch) пакеты буферизируются только на выходных портах после завершения процесса коммутации. В этом случае удастся избежать проблемы, связанной с блокированием очередей HOL. Коммутаторы этой архитектуры используют арбитр для управления временем, за которое пакеты коммутируются через матрицу. При правильно разработанном арбитре коммутаторы с выходными очередями могут обеспечивать качество обслуживания (QoS).

Следует отметить, что выходной буфер каждого порта требует большего объема памяти по сравнению с входным буфером. Это позволяет избежать блокирования на выходе, когда все входные порты пытаются подключиться к одному выходу. Еще одним важным фактором является скорость выполнения операции "запись" коммутируемых пакетов в выходную очередь. По этим двум причинам архитектура с выходными очередями должна быть реализована на высокоскоростных элементах, что делает ее очень дорогостоящей [7].

Коммутаторы с виртуальными очередями (Virtual Output Queues, VOQ) позволяют преодолеть проблему блокировки очередей HOL, не внося издержек по сравнению с коммутаторами с выходными очередями. В этой архитектуре память каждого входного порта организована в виде N (где N — количество выходных портов) логических очередей типа FIFO, по одной для каждого выходного порта. Эти очереди используются для буферизации пакетов, поступающих на входной порт и предназначенных для выходного порта j ($j = 1, \dots, N$).

В том случае, если существует несколько виртуальных очередей, может возникнуть проблема, связанная с одновременным доступом к коммутационной матрице и блокировкой очередей. Для решения этой проблемы используется арбитр, который на основе алгоритма диспетчеризации выбирает пакеты из разных очередей.

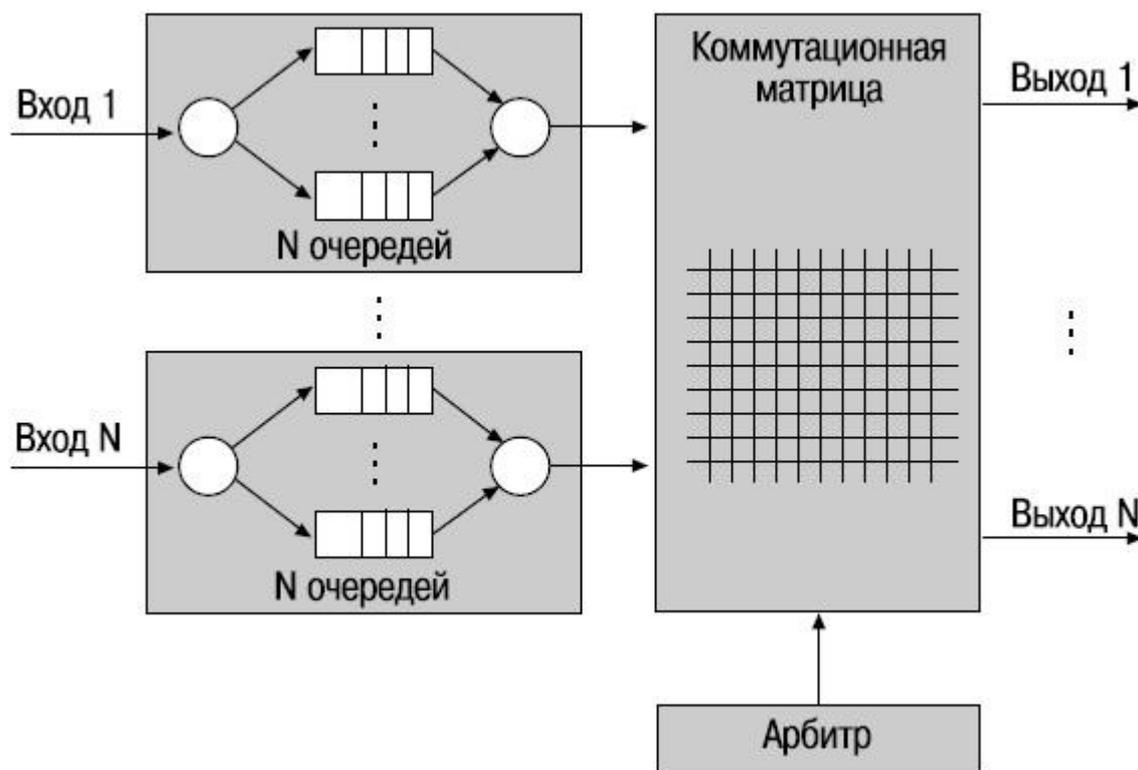


Рисунок 8 — Архитектура на основе коммутационной матрицы с виртуальными очередями

В коммутаторах с комбинированными входными и выходными очередями (Combined Input and Output Queued, CIOQ) буферы памяти подключены как к входным, так и к выходным портам. Память каждого из входных портов организована в виде N виртуальных выходных очередей типа FIFO, по одной для каждого выходного порта. Каждый из N выходных портов также содержит очередь типа FIFO, которая используется для буферизации пакетов, ожидающих передачи через него. Система коммутации работает по принципу конвейера, каждая стадия которого называется временным слотом (time slot). В течение временного слота 1, который называется стадией прибытия, пакеты поступают на входные порты. Для передачи внутри коммутатора все пакеты сегментируются на ячейки фиксированного размера. Размер такой ячейки данных определяется производителем коммутатора. Каждая ячейка снабжается меткой с указанием размера, номера входного порта и порта назначения и помещается в виртуальную выходную очередь соответствующего выходного порта. Входные порты отправляют "запросы на подключение к выходам" централизованному арбитру, а все выходные порты отправляют ему "информацию о перегрузке" (переполнении выходных буферов) [7].

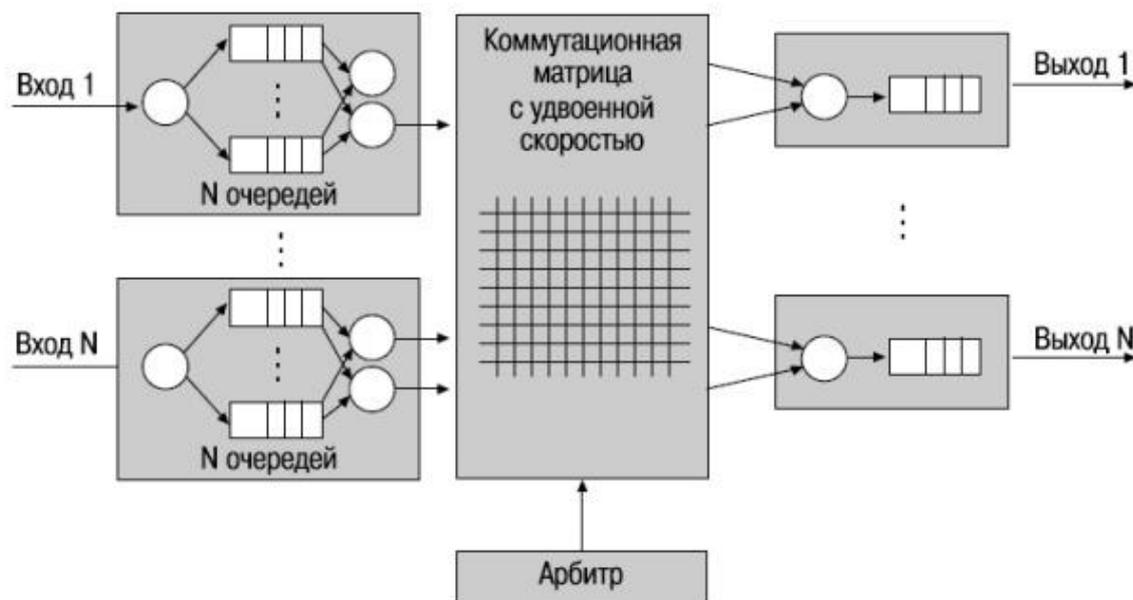


Рисунок 9 — Архитектура на основе коммутационной матрицы с CIOQ

Во временной слот 2, который называется стадией диспетчеризации, ячейки передаются из входных очередей в выходные. Последовательность передачи ячеек определяется централизованным арбитром с помощью алгоритма диспетчеризации. Для того чтобы выходные очереди быстро заполнялись пакетами из входных очередей (с целью уменьшения задержки передачи пакетов и обеспечения QoS), алгоритм диспетчеризации должен обеспечивать циклическое высокоскоростное сопоставление входных и выходных очередей. Это сопоставление используется для настройки управляемых переключателей матрицы перед передачей пакетов с входов на выходы.

Во временной слот 3, который называется стадией передачи, осуществляется сборка пакетов и их передача с выходных портов.

1.3.6 MAC таблица

Только что были рассмотрены все архитектуры коммутаторов, используемых в настоящее время, и не смотря на описанные различия, есть нечто общее. Для принятия решения о дальнейшей отправке кадра необходимо знать к какому порту принадлежит MAC адрес, указанный в кадре, иначе теряется весь смысл в применение коммутатора. Для этого используется MAC таблица – оперативная память, в которую записывается адреса отправителей, приходящих на порты коммутатора. Соответственно, MAC адрес отправителя, который пришел на N-ый порт будет приписан N-ому порту и когда потребуется передать другой кадр на этот MAC адрес, будет использован закреплённый за ним в MAC таблице порт.

Сразу же выдвинем основные нюансы работы данной системы:

- а) Изначально MAC таблица пустая.
- б) При получении кадров происходит «обучение» коммутатора, то есть заполнение таблицы основываясь на информации из приходящих кадров.

в) При изменении порта, MAC таблица не узнает о новом порте пока не будет отправлен кадр с нового порта, а до этого будет перенаправлять кадры на старый порт.

Исходя из того, что MAC адрес состоит из 6 байт, можно посчитать, что существует $2.8 \cdot 10^{14}$ вариантов MAC адресов для таблицы, что является не удобным количеством для использования. Поэтому, для хранения применяется MAC адрес, прошедший через хэш функцию, он меньше оригинального и его удобнее использовать. Такой MAC адрес имеет всего 16384 варианта, что гораздо удобнее обрабатывать. Однако, есть риск возникновения коллизий – совпадение нескольких MAC адресов после прохождения хэш функции. Решение этой проблемы ложится на разработчиков.

Также, в качестве защиты и обеспечения корректной работы при смене порта или отключения пользователя существует время «жизни адреса». Это таймер, который показывает сколько прошло времени с последней отправки кадра. Как только таймер превысит определенное значение, MAC адрес будет считаться не действителен. Этот способ позволяет частично справиться с проблемой под пунктом в, но не является полноценным решением.

2 Разработка архитектуры устройства и ее реализация

Для реализации устройства необходимо: проанализировать имеющиеся ресурсы, выбрать оптимальный тип архитектуры, разработать структурную схему, реализовать структурную схему. Необходимо уточнить, что устройство будет реализовано на Cyclone V от Intel, что позволит существенно упростить разработку и не допустить последовательных операций там, где возможно выполнить параллельные. Создание принципиальной схеме осуществляется средой разработки, поэтому разработанную структурную схему необходимо реализовать на языке описания и верификации аппаратуры.

2.1 Разработка алгоритма функционирования

Исходные данные и ресурсы. После изучения теории, приведенной в предыдущем разделе, была начата разработка устройства. Моя задача состояла в создании дизайна для уже существующей платы с ядром Cyclone V от Intel. Используемый SoC обладает высоким быстродействием и большим объемом операционной памяти. В ядро данные поступали по шине GMII (Gigabit Media—Independent Interface) – интерфейс, разработанный для работы гигабайтных Ethernet—интерфейсов, является расширенной версией интерфейса. При работе на частоте 125 МГц, шина GMII способна обеспечить передачу данных до 1000 Мбит/с и имеет высокий уровень надежности, что соответствует задаче обеспечить скорость порта на 1 ГГц. Представленный интерфейс имеет восьмибитную шину передачи данных, сигнал ошибки и сигнал достоверной передачи данных, то есть является десяти разрядной шиной.

Теперь, для создания архитектуры необходимо определиться с функционалом и составить логику работы. Для этого был сформулирован алгоритм, представленный на рисунке 10.

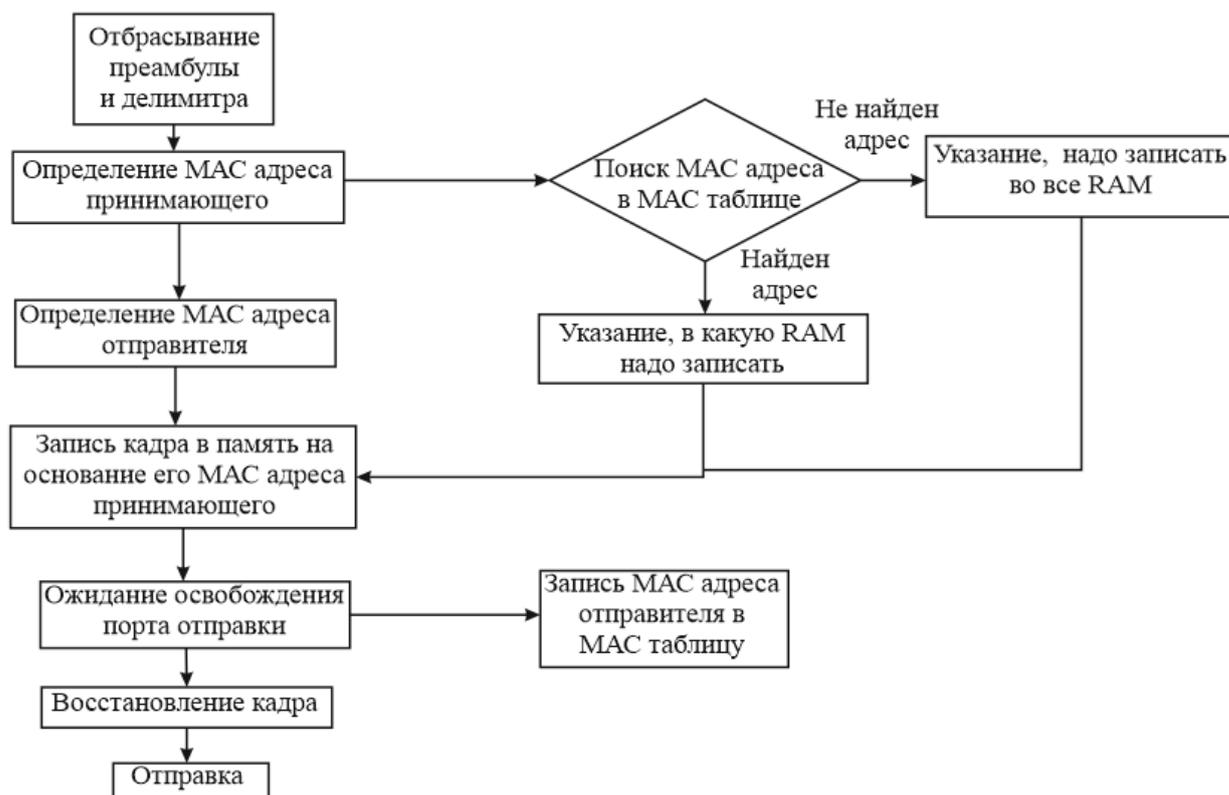


Рисунок 10 — Логика обработки кадра

Рассмотрим его подробнее. Первоначально избавляемся от преамбулы и делIMITРА. Данная часть всегда одинаковой и для ускорения дальнейшей обработки кадра отбрасываем ее. Это решение уменьшит размер кадра, поэтому обработка остальных сегментов фрейма начнется раньше, также потребуется меньше памяти для хранения.

Далее принимаем MAC адреса. Как было сказано ранее, в кадре есть два MAC адреса: отправителя и принимающего, нам же нужны оба. По MAC адресу адресата ищем порт на который нужно передать кадр, если в MAC таблице находится MAC адрес, то передаем кадр в указанный порт, если MAC адрес неизвестен или является широковещательным, то кадр должен отправить на все порты кроме того, с которого пришел. MAC адрес отправителя будет передан в самом конце, после приема всего кадра и подтверждения его валидности. Это необходимо для защиты MAC таблицы от атак и «мусорных» кадров. Таким образом не будут затираться уже известные адреса.

Далее, смотрим поле Length/Type на наличие WLAN тега. Это необходимо, если порты разбиты на несколько WLAN сетей. Кадры из одной WLAN сети не должны быть переданы в другую.

Затем идет прием MAC client data, проверка FCS, размеров кадра и помещение в очередь на выход на ранее определенный порт. Стоит отметить, что при обнаружении повреждений в кадре, должен быть подан сигнал ошибки и прекращена обработка и дальнейшая отправка этого фрейма.

Как только порт освобождается, и наступает очередь отслеживаемого фрейма, идет восстановление кадра, то есть возвращение преамбулы и делимитра, а затем его отправка.

Теперь, когда у нас есть начальные условия и алгоритм работы можно приступать к синтезу архитектуры. Из всего выше сказанного вывожу следующие тезисы, по создаваемой архитектуре:

а) Для передачи данных между блоками выбрать шину GMP. Этот интерфейс позволит передавать данные после приема без преобразований. Как я уже говорил, одним из плюсов этого интерфейса является высокая степень контроля над передаваемыми данными, что нам необходимо, т.к. существует вероятность, что кадр во время передачи был поврежден и его необходимо отбросить.

б) В качестве среды передачи использовать оперативную память. Так как ядро коммутатора является Cyclone V, составить быстродействующую коммутационную матрицу крайне сложно. В тоже время Cyclone V обладает оперативной памятью с высоким быстродействием.

в) Так как средой доступа является оперативная память, необходимо разработать арбитр доступа памяти для разграничения доступа к памяти по времени.

г) Требуется разработка блока, предназначенного, для обеспечения синхронизации поступающих данных с частотой работы дизайна ПЛИС. Это

необходимо для борьбы с метостабильностью и, как следствие, борьбы с повреждением данных [2].

д) Частоту работы устройства логичнее всего выбрать 125 МГц. Данный шаг избавит нас от проблем с преобразованием частоты и не придется задействовать лишние блоки PLL, число которых ограничено (всего 6 штук).

е) После блока синхронизации на частоту работы коммутатора необходимо установить блок, который будет читать и анализировать принимаемый сегмент кадра. Без этого блока невозможно будет реализовывать работу по коммутации и проверки кадра т. к. не будут известны MAC адреса и FCS.

ж) Необходимо разработать MAC таблицу. Этот блок должен хранить информацию о MAC адресах, подключенных к портам, и коммутировать пришедшие пакеты с требуемым портом.

и) Требуется решить проблему «актуальности» информации в MAC таблице. Из—за того, что подключенные устройства могут отключаться или менять порт, возникает проблема в обновлении MAC таблице и удаление старых данных.

к) Возможна ситуация одновременного обращения двух или более портов к MAC таблице. Необходима разработка MAC арбитра – блока, отвечающего за организацию порядка запросов к памяти.

2.1 Разработка структурной схемы.

Основываясь на сформулированных ранее тезисах, была разработана следующая структурная схема (рисунок 11):

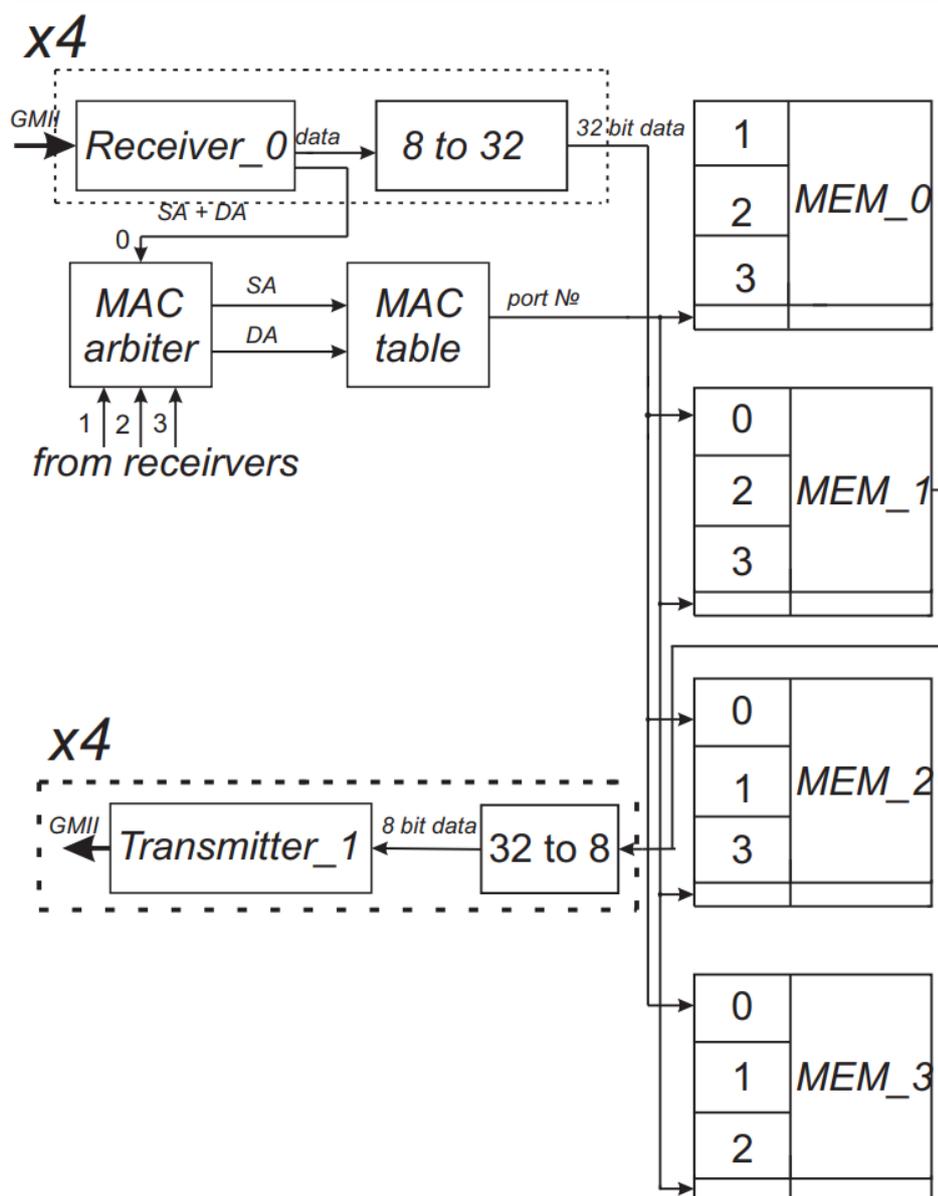


Рисунок 11 — Структурная схема сетевого коммутатора

Полученная структурная схема является вариацией архитектуры с разделенной памятью с очередями на выход. Выбранная архитектура лучше всего подходит для мало портового коммутатора, а за счет разделения пространства памяти на 4 отдельных сегмента, оптимальные по размеру, и параллельную запись в каждую, до определения порта назначения, удастся достичь малого времени задержки. Для возможности дальнейшего увеличения числа портов, вместо одной памяти, используется 4, каждая привязана к выходному порту.

Описание каждого блока:

1) Входной буфер FIFO – это FIFO (First Input First Output — "первым пришел, первым ушел") с двумя тактовыми сигналами: один входной, другой выходной. Входной является внешним, для тактирования записываемых данных. Выходной является внутренним тактом, который тактирует все устройств. Передача данных из FIFO дальше начинается, только после частичного заполнения буфера. Все эти меры призваны для борьбы с метастабильностью, тем самым уменьшая возможность испортить кадр на коммутаторе.

2) Receiver – приемник. Блок, который принимает файлы с шины GMII. Отвечает за передачу данных следующему блоку, определение MAC адреса принимающего, MAC адреса передающего, хеширование адресов, составление чек байтов, отправки необходимой информации MAC таблице, подсчет FCS. Если FCS подсчитанный не совпадает с FCS в кадре или, во время приема файла приходит сигнал об ошибке или размер файла больше, чем указанный в стандарте 802.3, кадр считается поврежденным и отбрасывается.

3) 8 to 32 – блок преобразователя из 8 бит в 32. Данное преобразование необходимо для обеспечения требуемой скорости работы RAM, т.к. скорость работы памяти должна равна сумме скоростей всех портов, следовательно, больше в 4 раза, таким образом, при одновременном обращении к памяти все портов будет обеспечено, что из-за разделения по времени доступа, ничего не будет потеряно. Представленный блок также подает сигнал о начале и конце записи в операционную память и имеет в себе маску доступа к другим портам, за счет чего реализуется VLAN по портам.

Вышеописанные блоки составляют узел приема, их количество равно числу портов в устройстве. Следовательно, при перепроектировании устройства на большее количество портов, можно взять уже описанные, не меняя их, что является плюсом для масштабируемости.

4) MAC arbiter. Данный блок необходим для защиты MAC таблицы от перегрузки запросами. В теории, к таблице могут обратиться сразу все порты с

запросами. MAC арбитр необходим для организации «очереди» обращений к MAC таблице. В разработанной архитектуре он также отвечает за отсчет «времени жизни» MAC адреса — срок, за который адрес считается действительным. Выражено это в команде, производящей декрементирование таблицы «времени жизни».

5) MAC table — блок, отвечающий за определение порта, на который нужно отправить кадр. Состоит из 8 блоков RAM: 4 выделено для хранения номера порта и чек-байта, 4 для хранения времени жизни секундах. Предусмотрено 4 состояния: покой, запись SA, поиск DA, и декрементирование времени жизни одного MAC адрес.

Необходимость в 4 RAM оправдана не идеальностью хеш функции, несколько MAC адресов могут дать одинаковую хеш функцию. Всего возможно 4 варианта MAC адресов, которые дают одинаковую хеш—функцию. Для исключения ошибки также записывается чек байт, состоящий из разных сегментов MAC адреса.

Оставшиеся таблицы посвящены хранению времени жизни в секундах (всего 5 минут) и уменьшению на один при поступлении запроса от MAC арбитра.

6) RAM arbiter. Данный блок является менеджером доступа к памяти для упорядочивания ее работы и обеспечения времени доступа для всех портов.

7) MEM – RAM, в которую записывается входящий кадр. Всего в коммутаторе их 4, каждая привязана к выходному порту.

Первоначально, до определения порта адресата, кадр записывается в каждую память, кроме той, с порта которой он пришел. При нахождении MAC адреса в MAC таблице, будет подан сигнал удаления на все памяти, кроме той, из которой кадр должен быть отправлен. В противном случае, кадр является либо неизвестным, либо широковещательным, и должен быть отправлен на все порты. После окончания записи, информация о местоположение фрейма передается в FIFO.

8) Буфер FIFO – блок, предназначенный для хранения информации о расположении фрейма и его дополнительной информации. Необходим для упорядочивания работы блока передатчика. В данной архитектуре выполняет роль регулировщика QoS и составляет выходную очередь.

9) 32 to 8 – блок, преобразующий информацию из блока MEM, которая хранится в 32 разрядном формате, в 8 разрядную. Описываемый блок необходим для преобразования информации к подходящему для интерфейса GMII формату.

10) Transmitter – передатчик. Данный блок отвечает за отправку кадра. В каждый такт передатчик проверяет наличие записей в FIFO, при наличии таких, подает сигнал блоку MEM и начинает считывать информацию из него, передавая ее на выход. При этом, фрейм дополняется преамбулой и делиметром, а также ведет подсчет FCS для проверки отсутствия повреждений при прохождении через коммутатор.

2.2 Реализация структурной схемы

Представленная архитектура была реализована на языке описания и верификации аппаратуры SystemVerilog. SystemVerilog является расширенной версией Verilog HDL и последний принятый как стандарт IEEE. Применение SystemVerilog обусловлено расширенным функционалом, который удобно применять для ускорения масштабируемости и уменьшения кода, что облегчает его разбор и анализ. В случае необходимости перехода на кристаллы от Xilinx, потребуются минимальные изменения для обеспечения работоспособности проекта [1].

В качестве среды разработки был выбран Quartus II версии 15.0. Это программное обеспечение от Intel, предназначенное для работы с FPGA Cyclone V. Выбранная программа много полезных инструментов, например TimeQuest Timing Analyzer, позволяющий производить частотный анализ и смотреть «узкие места», или SignalTap, позволяющий снимать реальные осциллограммы во время

работы устройства. Также, не мало важный факт, Web версия этого ПО распространяется бесплатно.

Характеристики реализованного дизайна устройства:

Количество портов: 4;

Скорость работы порта: 1 G;

Тактовая частота: 125 МГц;

Время задержки: не больше 352 нс;

Время хранения MAC адресов: 5 минут;

Тип организации очереди: Best Effort.

2.3 Тестирование

Было проведено два вида тестирования: симуляция работы программы и тест на реальном оборудовании.

2.3.1 Симуляция дизайна

После написания и соединения всех блоков были написаны тесты в среде симуляции ModelSim. Это ПО бесплатно предоставляется вместе с веб-версией Quartus и имеет все необходимые инструменты для тестирования, нахождения ошибок, а также автоматизации процедуры проверки работоспособности. Были написаны автоматы, отправляющие кадры, заранее заданного размера, в коммутатор с порядковым номером внутри. Каждый следующий цикл, MAC адрес, принимающего меняется, за счет чего достигается параллельный прием и передача на все порты. В итоге за 3 цикла каждый порт отправит по кадру во все оставшиеся порты.

Всего было 2 типа тестирования:

1) Передача кадров минимального размера с минимальным промежутком.

В данном тесте проверяется скорость и надежность работы MAC таблицы. Тест построен так, чтобы плотность запросов к MAC таблице была максимально возможной в реальных условиях. Таким образом мы проверяем MAC арбитр и MAC таблицу.

2) Передача кадров максимально размера с различным временем паузы. Этот тест проверяет надежность работы блока MEM. Данная методология позволяет проверить работу память на возможность перегрузки и порчи пакетов, так как плотность поступаемых данных максимально возможная.

Оба теста подразумевают последовательную отправку пакетов на каждый порт, за счет чего мы гарантируем, что на один порт не будут постоянно приходить несколько пакетов и весь коммутатор будет максимально нагружен.

Финальная версия успешно прошла все испытания в среде симуляции ModulSim. Общие результаты тестирования представлены на рис. 1 2:

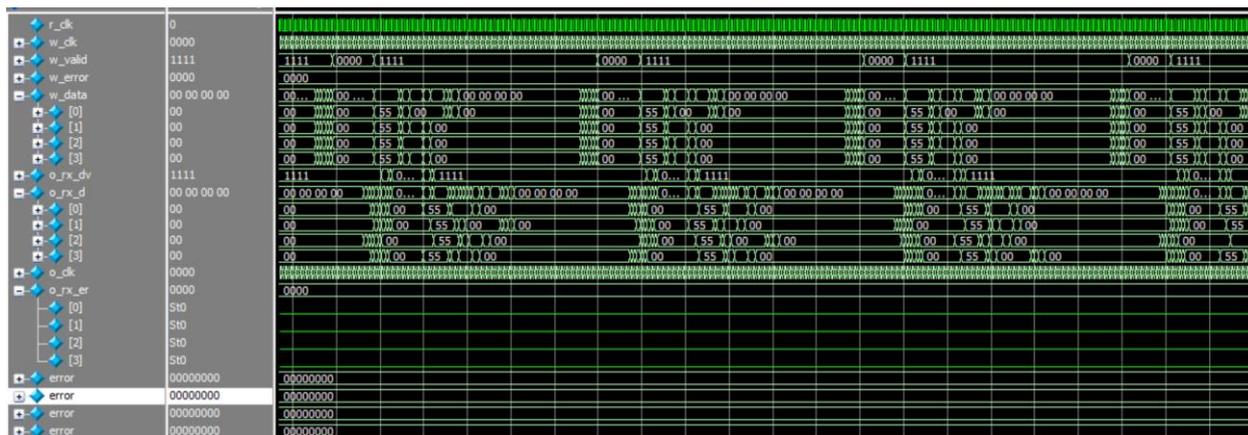


Рисунок 12 — Результат тестирования в ModulSim

Рассмотрим внимательнее представленные ниже диаграммы:

r_clk – тактовая частота работы устройства;

w_clk – группа входных тактовых частот, задающих такт входной шине данных;

w_walid – группа входных сигналов валидности;

w_error – группа входных сигналов ошибки;

w_data – группа входных шин данных;

o_clk — группа выходных тактовых частот, задающих такт выходной шине данных;

o_rx_dv — группа выходных сигналов валидности;

o_rx_er — группа выходных сигналов ошибки;

o_rx_d — группа выходных шин данных;

error — счетчик ошибок, инкрементирующийся каждый раз, когда возникает ошибка контрольной суммы или пропадает кадр.

Проанализируем полученные данные. Все строки error указывают 0, следовательно, ошибок не было и устройство полностью исправно. o_rx_er также ни разу не приняла значение единицы. Не обнаружены нарушения в выходных кадрах: счетчик в сегменте data каждый раз на один больше предыдущего, нет нарушений в коммутации по MAC адресу, все сегменты кадра верны.

2.3.2 Тестирование на плате МД1-1РУ

Этот тест уже на реальном оборудовании с применением Ethernet тестера — устройства для проверки работы сетей. Один тестер является главным, он отправляет кадры в коммутатор и ждет их возвращения. Другой тестер является подчиненным и во время приема кадра просто меняет местами MAC адреса и отправляет обратно, не производя никакого анализа поступившего кадра.

Логика теста была изменена: порты были разделены по парам, и каждая пара обменивается кадрами. Таким образом, коммутатор будет максимально загружен, но ни один порт не будет переполняться. Кадры применялись такие же, как и в тесте в симуляторе. Первый тип имел наименьшее расстояние между кадрами минимальное, как и размер самого кадра. Второй тип также имел минимальную задержку между кадрами, но максимальный размер кадра.

Финальная версия коммутатора также успешно прошла данный тест. В течение 3 дней шла непрерывная отправка кадров первого типа с подсчетом

ошибок. По окончании тестов ошибок не выявлено. Второй тип кадров отправлялся сутки, по результатам которого также ошибок выявлено не было.

Был проведен тест на время хранения в MAC таблице. После обучения MAC таблицы один из абонентов был отключен, признаком того, что MAC адрес «умер» служит начало отправки кадра на все порты. Кадр хранится ровно 5 минут, после чего устройство считает его недействительным.

3 Финансовый менеджмент, ресурсоэффективность и ресурсосбережение

3.1 Оценка коммерческого потенциала и перспективности проведения научных исследований с позиции ресурсоэффективности и ресурсосбережения

3.1.1 Потенциальные потребители результатов исследования

Для анализа потребителей результатов исследования необходимо рассмотреть целевой рынок и провести его сегментирование. Целевой рынок – сегменты рынка, на котором будет продаваться в будущем разработка. В свою очередь, сегмент рынка – это особым образом выделенная часть рынка, группы потребителей, обладающих определенными общими признаками. Сегментирование – это разделение покупателей на однородные группы, для каждой из которых может потребоваться определенный товар (услуга). Можно применять географический, демографический, поведенческий и иные критерии сегментирования рынка потребителей, возможно применение их комбинаций с использованием таких характеристик, как возраст, пол, национальность, образование, любимые занятия, стиль жизни, социальная принадлежность, профессия, уровень дохода. В зависимости от категории потребителей (коммерческие организации, физические лица) необходимо использовать соответствующие критерии сегментирования. Например, для коммерческих организаций критериями сегментирования могут быть: месторасположение; отрасль; выпускаемая продукция; размер и др. Для физических лиц критериями сегментирования могут быть: возраст; пол; национальность; образование; уровень дохода; социальная принадлежность; профессия и др. Из выявленных критериев целесообразно выбрать два наиболее значимых для рынка. На основании этих критериев строится карта сегментирования рынка:

Форма выпуска систем управления Потребитель	Единичный выпуск	Партия
Мелкое предприятия		
Крупное предприятия		

Рисунок 12 — Карта сегментирования рынка спроса на систему управления

■ — существует спрос; □ — спрос отсутствует.

Из карты сегментирования рынка видно, что при производстве единичного экземпляра системы управления спрос может быть как от мелких, так и крупных предприятия что увеличивает конкуренцию предприятий на получения продукта.

3.1.2 SWOT-анализ

Для представления общей картины бакалаврской выпускной работы в данном разделе представлен SWOT-анализ, данное исследование направлено в первую очередь на выявления конкурентно способных преимуществ и детальное понимание недостатков данной специфики работы.

Таблица 1 – Матрица SWOT

<p style="text-align: center;">Сильные стороны</p> <ol style="list-style-type: none"> 1. Высокая скорость работы. 2. Высокая степень интеграции системы. 3. Хорошая масштабируемость архитектуры. 4. Малое время задержки кадра в устройстве. 5. Защита от «битых» кадров. 	<p style="text-align: center;">Слабые стороны</p> <ol style="list-style-type: none"> 1. Высокая стоимость программируемой логической схемы (ПЛИС) 2. Зависимость от иностранного производителя элементной базы 3. Обеспечение QoS только по принципу Best Effor.
<p style="text-align: center;">Возможности</p> <ol style="list-style-type: none"> 1. Появление дополнительного спроса на новый продукт 2. 3. Повышение стоимости проекта 4. Увеличение спроса на систему 	<p style="text-align: center;">Угрозы</p> <ol style="list-style-type: none"> 1. Подорожание элементов вследствие экономической политики. 2. Большой срок транспортировки элементной базы. 3. Изменение в таможенной политике.

Таблица 2 — SWOT-анализ

	Сильные стороны	Слабые стороны
	<p>1.Высокая скорость работы.</p> <p>2.Высокая степень интеграции системы.</p> <p>3.Хорошая масштабируемость архитектуры.</p> <p>4.Малое время задержки кадра в устройстве.</p> <p>5.Защита от «битых» кадров.</p>	<p>1.Высокая стоимость программируемой логической схемы (ПЛИС)</p> <p>2.Зависимость от иностранного производителя элементной базы</p> <p>3.Обеспечение QoS только по принципу Best Effort.</p>
Возможности	Хорошие	Данные
<p>1.Появление дополнительного спроса на новый продукт.</p> <p>2.Уменьшение стоимости производства.</p> <p>3.Увеличение спроса на систему.</p>	<p>технические характеристики и масштабируемость архитектуры позволят занять свою рыночную нишу.</p>	<p>проблемы присущи всем типам подобных устройств. Низкая конкуренция на рынке и использование информационных ресурсов ТПУ позволит прибору найти свою рыночную нишу.</p>
Угрозы	Особенности	Необходимость в
<p>1.Подорожание элементов вследствие экономической политики.</p> <p>2.Большой срок транспортировки элементной базы.</p> <p>3.Изменение в таможенной политике.</p>	<p>устройства: высокая скорость передачи и стабильность получения результата, позволят даже при повышении стоимости прибора сохранить на него спрос. Использование данного прибора способно заметно увеличить скорость работы локальной сети и обеспечить надежность трафика.</p>	<p>Необходимость в программируемой логической схеме (ПЛИС) делает прибор зависимым от курса валют, что может сказаться на его стоимости и конкурентоспособности. Из—за особенностей работы понадобится обучающий материал по работе с прибором.</p>

3.2 Планирование научно-исследовательских работ

3.2.1 Структура работ в рамках научного исследования

При создании нового продукта предприятию необходимо правильно планировать сроки выполнения отдельных этапов работ, учитывать расходы на материалы, зарплату. А также оценивать наиболее правильный вариант изготовления рабочего продукта.

В первую очередь определяется полный перечень проводимых работ, а также продолжительность на каждом этапе. В результате планирования формируется график реализации проекта. Для построения работ необходимо соотнести соответствующие работы каждому исполнителю.

Таблица 3 — Перечень этапов, работ и распределение исполнителей

Основные этапы	№ раб	Содержание работ	Должность исполнителя
Разработка технического задания	1	Постановка целей и задач, получение исходных данных	Научный руководитель
	2	Составление и утверждение ТЗ	Научный руководитель, студент
Теоретическая подготовка к выполнению работы	3	Подбор и изучение материалов по теме	Научный руководитель, студент
	4	Календарное планирование работ по теме	Научный руководитель, студент
Теоретическое обоснование работы	5	Разработка архитектуры	Научный руководитель, студент
	6	Составление требований к каждому блоку	Научный руководитель, студент
Практическая работа над проектом	7	Изучение устройства МД1—1РУ	Студент
	8	Написание программы	Студент
	9	Проведение экспериментальных исследований	Студент
Оформление отчета по НИР	10	Оформление расчетно—пояснительной записки	Студент
	11	Оформление материала	Студент
	12	Подведение итогов	Научный руководитель, студент

3.2.2 Определение трудоемкости выполнения работ

Определим продолжительность работ на каждом этапе проектирования. Продолжительность работ определяется по следующей формуле.

$$t_{ожі} = \frac{3t_{\min i} + 2t_{\max i}}{5}, \quad (2)$$

где $t_{ожі}$ – ожидаемая трудоемкость выполнения i -ой работы чел.-дн.;

$t_{\min i}$ – минимально возможная трудоемкость выполнения заданной i -ой работы (оптимистическая оценка: в предположении наиболее благоприятного стечения обстоятельств), чел.-дн.;

$t_{\max i}$ – максимально возможная трудоемкость выполнения заданной i -ой работы (пессимистическая оценка: в предположении наиболее неблагоприятного стечения обстоятельств), чел.-дн.

В данном дипломном проекте трудоемкость рассчитывается исходя из работ, которые выполняют студент (почти инженер) и научный руководитель. Исходя из полученной трудоемкости рассчитывается продолжительность работ, на каждом этапе проектирования, по следующей формуле:

$$T_{pi} = \frac{t_{ожі}}{Ч_i}, \quad (3)$$

Где T_{pi} – продолжительность одной работы, раб.дн.

$t_{ожі}$ – ожидаемая трудоемкость выполнения одной работы, чел. дн.

$Ч_i$ – численность исполнителей, выполняющих одновременно одну и ту же работу на одном этапе, чел.

3.2.3 Разработка графика проведения научного исследования

Для отображения этапов проектирования используется график сетевой, либо линейный. Для удобства построения графика необходимо каждый этап перевести в календарные дни. Рассчитывается по следующей формуле:

$$T_{Ki} = T_{pi} \cdot k_{\text{кал}}, \quad (4)$$

где $T_{кi}$ – продолжительность одной работы в календарных днях.

$k_{кал}$ – коэффициент календарности.

Коэффициент календарности рассчитывается по следующей формуле:

$$k_{кал} = \frac{T_{кал}}{T_{кал} - T_{вых} - T_{пр}}, \quad (5)$$

где $T_{кал}$ – календарных дней году (366).

$T_{вых}$ – выходных дней в году (104).

$T_{пр}$ – праздничных дней в году (15).

$$k_{кал} = \frac{366}{366 - 104 - 15} = 1.48, \quad (6)$$

Полученные данные, которые были рассчитаны вышеуказанными формулами, заносятся в таблицу. Используя таблицу, можно построить календарный план—график выполнения работ.

Таблица 4 — Временные показатели проведения научного исследования

Название работы	Трудоемкость работ			Исполнители	Длительность работ в рабочих днях, T_{pi}	Длительность работ в календарных днях, T_{ki}
	t_{min} , чел-дни	t_{max} , чел-дни	$t_{ож}$, чел-дни			
Постановка целей и задач, получение исходных данных	2	5	3,2	Руководитель	3,2	4,7
Составление и утверждение ТЗ	2	5	3,2	Руководитель, студент	1,6	2,4
Подбор и изучение материалов по теме	15	19	16,6	Руководитель, студент	8,3	12,3
Календарное планирование работ по теме	1	3	1,8	Руководитель, студент	0,9	1,3
Разработка архитектуры	4	10	6,4	Руководитель, студент	3,2	4,7
Составление требований к каждому блоку	2	4	2,8	Руководитель, студент	1,4	2,1
Изучение устройства МД1—1РУ	1	2	1,4	Студент	1,4	2,1
Написание программы	20	30	24	Студент	24	35,5
Проведение экспериментальных исследований	2	5	3,2	Руководитель, студент	1,6	2,4
Оформление расчетно—пояснительной записки	2	4	2,8	Студент	2,8	4,1
Оформление материала	10	20	14	Студент	14,0	20,7
Подведение итогов	1	3	1,8	Руководитель, студент	0,9	1,3

Таблица 5 — Календарный план-график проведения НИОКР по теме

№	Вид работ	Исполнители	T _{кi} , кал. дни	Продолжительность выполнения работ														
				Январь			Фев.			Март			Апр.			Май		
				1	2	3	1	2	3	1	2	3	1	2	3	1	2	3
1	Постановка целей и задач, получение исходных данных	Руководитель	4,7				■											
2	Составление и утверждение ТЗ	Руководитель, студент	2,4				■	□										
3	Подбор и изучение материалов по теме	Руководитель, студент	12,3					■	□									
4	Календарное планирование работ по теме	Руководитель, студент	1,3						■									
5	Разработка архитектуры	Руководитель, студент	4,7						■	□								
6	Составление требований к каждому блоку	Руководитель, студент	2,1						■									
6	Изучение устройства МД1—1РУ	Студент	2,1							□								
8	Написание программ	Студент	35,5								□	□	□	□	□			
9	Проведение экспериментальных исследований	Руководитель, студент	2,4											■				
10	Оформление расчетно— пояснительной записки	Студент	4,1												□			
11	Оформление материала	Студент	20,7												□	□	□	□
12	Подведение итогов	Руководитель, студент	1,3															■



— руководитель



— студент

3.2.4 Бюджет научно-технического исследования

При планировании бюджета НТИ должно быть обеспечено полное и достоверное отражение всех видов расходов, связанных с его выполнением. В процессе формирования бюджета НТИ используется следующая группировка затрат по статьям:

- материальные затраты НТИ;
- затраты на специальное оборудование для научных (экспериментальных) работ;
- основная заработная плата исполнителей темы;
- дополнительная заработная плата исполнителей темы;
- отчисления во внебюджетные фонды (страховые отчисления);
- затраты научные и производственные командировки;
- контрагентные расходы;
- накладные расходы.

3.2.5 Расчет материальных затрат НТИ

Данная статья включает стоимость всех материалов, используемых при разработке проекта:

- приобретаемые со стороны сырье и материалы, необходимые для создания научно—технической продукции;
- покупные материалы, используемые в процессе создания научно—технической продукции для обеспечения нормального технологического процесса и для упаковки продукции или расходуемых на другие производственные и хозяйственные нужды (проведение испытаний, контроль, содержание, ремонт и эксплуатация оборудования, зданий, сооружений, других основных средств и прочее), а также запасные части для ремонта оборудования, износа инструментов, приспособлений, инвентаря, приборов, лабораторного

оборудования и других средств труда, не относимых к основным средствам, износ спецодежды и других малоценных и быстроизнашивающихся предметов;

- покупные комплектующие изделия и полуфабрикаты, подвергающиеся в дальнейшем монтажу или дополнительной обработке;

- сырье и материалы, покупные комплектующие изделия и полуфабрикаты, используемые в качестве объектов исследований (испытаний) и для эксплуатации, технического обслуживания и ремонта изделий – объектов испытаний (исследований);

Расчет материальных затрат осуществляется по следующей формуле:

$$Z_M = (1 + k_T) \cdot \sum_{i=1}^m C_i + N_{расх}, \quad (7)$$

где m – количество видов материальных ресурсов, потребляемых при выполнении научного исследования;

$N_{расх}$ – количество материальных ресурсов i –го вида, планируемых к использованию при выполнении научного исследования (шт., кг, м, м² и т.д.);

C_i – цена приобретения единицы i –го вида потребляемых материальных ресурсов (руб./шт., руб./кг, руб./м, руб./м² и т.д.);

k_T – коэффициент, учитывающий транспортно–заготовительные расходы.

Величина коэффициента (k_T), отражающего соотношение затрат по доставке материальных ресурсов и цен на их приобретение, зависит от условий договоров поставки, видов материальных ресурсов, территориальной удаленности поставщиков и т.д. Транспортные расходы принимаются в пределах 15—25% от стоимости материалов. Материальные затраты, необходимые для данной разработки, заносим в таблицу 6.

Таблица 6 — Материальные затраты

Наименование	Единица измерения	Количество	Цена за ед., руб.	Затраты на материалы, (З _м), руб.
Бумага	лист	150	2	345
ПЛИС (Cyclone 5)	шт.	1	25000	26000
Интернет	М/бит (пакет)	1	350	402,5
Ручка	шт.	2	20	46
Тетрадь	шт.	3	50	172,5
Итого				26966

3.2.6 Расчет затрат на специальное оборудование для научных (экспериментальных) работ

В данную статью включают все затраты, связанные с приобретением специального оборудования (приборов, контрольно—измерительной аппаратуры, стенов, устройств и механизмов), необходимого для проведения работ по конкретной теме.

Определение стоимости спецоборудования производится по действующим прейскурантам, а в ряде случаев по договорной цене. Расчет затрат по данной статье заносится в таблицу 8. При приобретении спецоборудования необходимо учесть затраты по его доставке и монтажу в размере 15% от его цены. Стоимость оборудования, используемого при выполнении конкретного НТИ и имеющегося в данной научно—технической организации, учитывается в калькуляции в виде амортизационных отчислений.

Таблица 7 — Расчет бюджета затрат на приобретение спецоборудования

№ п/п	Наименование оборудования	Количество единиц оборудования	Цена единицы оборудования, тыс. руб.	Общая стоимость оборудования, тыс. руб.
1	Персональный компьютер	1	30	30
2	Ethernet тестер	4	6,9	26,6
Итого:				56,6

3.2.7 Основная заработная плата исполнителей темы

В настоящую статью включается основная заработная плата научных и инженерно-технических работников, рабочих макетных мастерских и опытных производств, непосредственно участвующих в выполнении работ по данной теме. Величина расходов по заработной плате определяется исходя из трудоемкости выполняемых работ и действующей системы окладов и тарифных ставок. В состав основной заработной платы включается премия, выплачиваемая ежемесячно из фонда заработной платы в размере 20 – 30 % от тарифа или оклада.

Статья включает основную заработную плату работников, непосредственно занятых выполнением НИИ, (включая премии, доплаты) и дополнительную заработную плату:

$$Z_{зп} = Z_{осн} + Z_{доп}, \quad (8)$$

где $Z_{осн}$ – основная заработная плата;

$Z_{доп}$ – дополнительная заработная плата (12—20 % от $Z_{осн}$).

Основная заработная плата ($Z_{осн}$) руководителя (лаборанта, инженера) от предприятия (при наличии руководителя от предприятия) рассчитывается по следующей формуле:

$$Z_{осн} = Z_{дн} \cdot T_p, \quad (9)$$

где $Z_{осн}$ – основная заработная плата одного работника;

T_p – продолжительность работ, выполняемых научно—техническим работником, раб. дн. (табл. 6);

$Z_{дн}$ – среднедневная заработная плата работника, руб.

Среднедневная заработная плата рассчитывается по формуле:

$$Z_{дн} = \frac{Z_m \cdot M}{F_0}, \quad (10)$$

где Z_m – месячный должностной оклад работника, руб.;

M – количество месяцев работы без отпуска в течение года ($M=10,4$ месяца, 6—дневная рабочая неделя, при отпуске в 48 раб.дня);

F_0 – действительный годовой фонд рабочего времени научно – технического персонала, раб. Дн. (таблица 8).

Таблица 8 – Баланс рабочего времени

Показатели рабочего времени	Руководитель	Инженер
Календарное число дней	366	366
Количество нерабочих дней – выходные дни — праздничные дни	119	119
Потери рабочего времени — отпуск — невыходы по болезням	30	30
Действительный годовой фонд рабочего времени	217	217

Месячный должностной оклад работника:

$$Z_m = Z_{тс} (1 + k_{пр} + k_d) k_p, \quad (11)$$

где $Z_{тс}$ — заработная плата по тарифной ставке, руб ();

$k_{пр}$ — премиальный коэффициент, равный 0,3 (т.е. 30% от $z_{тс}$);

$k_{д}$ — коэффициент доплат и надбавок составляет примерно 0,2—0,5 (в НИИ и на промышленных предприятиях – за расширение сфер обслуживания, за профессиональное мастерство, за вредные условия: 15—20% от $z_{тс}$);

$k_{р}$ — районный коэффициент, равный 1,3 (для Томска).

Расчет основной заработной платы приведен в таблице 9:

Таблица 9 — Расчет заработной платы

Исполнители	Разряд	$z_{тс}$, руб	$k_{пр}$	$k_{д}$	$k_{р}$	$z_{м}$, руб	$z_{дн}$, руб	$T_{р}$, раб.дн	$z_{осн}$, руб
Руководитель	Ассистент, преподаватель	14584,32	0,3	0,2	1,3	28439,4	1363	27,7	37755,1
Студент	1	6595,7	0,3	0,2	1,3	12961,6	621,2	27,5	17207,24
Итого, руб									54962,34

3.2.8 Дополнительная заработная плата исполнителей темы

Затраты по дополнительной заработной плате исполнителей темы учитывают величину предусмотренных Трудовым кодексом РФ доплат за отклонение от нормальных условий труда, а также выплат, связанных с обеспечением гарантий и компенсаций (при исполнении государственных и общественных обязанностей, при совмещении работы с обучением, при предоставлении ежегодного оплачиваемого отпуска и т.д.).

Расчет дополнительной заработной платы ведется по следующей формуле:

$$z_{доп} = k_{доп} \cdot z_{осн} \quad (12)$$

где $k_{доп}$ – коэффициент дополнительной заработной платы (на стадии проектирования принимается равным 0,12 – 0,15).

Тогда:

$$z_{доп} = 54962,34 \cdot 0,15 = 8244,35 \text{ руб}$$

3.2.9 Отчисления во внебюджетные фонды (страховые отчисления)

В данной статье расходов отражаются обязательные отчисления по установленным законодательством Российской Федерации нормам органам государственного социального страхования (ФСС), пенсионного фонда (ПФ) и медицинского страхования (ФФОМС) от затрат на оплату труда работников.

Величина отчислений во внебюджетные фонды определяется исходя из следующей формулы:

$$Z_{\text{внеб}} = k_{\text{внеб}} \cdot (Z_{\text{осн}} + Z_{\text{доп}}), \quad (13)$$

где $k_{\text{внеб}}$ – коэффициент отчислений на уплату во внебюджетные фонды (пенсионный фонд, фонд обязательного медицинского страхования и пр.).

На 2014 г. в соответствии с Федеральным законом от 24.07.2009 №212—ФЗ установлен размер страховых взносов равный 30,2%.

Отчисления во внебюджетные фонды рекомендуется представлять в табличной форме (табл. 10).

Таблица 20 — Отчисления во внебюджетные фонды

Исполнитель	Основная заработная плата, руб.	Дополнительная заработная плата, руб.
Руководитель проекта	37755,1	4530,61
Инженер	17207,24	2064,87
Коэффициент отчислений во внебюджетные фонды	0,302	
Итого	18589,94	

3.2.10 Накладные расходы

Накладные расходы учитывают прочие затраты организации, не попавшие в предыдущие статьи расходов: печать и ксерокопирование материалов исследования, оплата услуг связи, электроэнергии, почтовые и

телеграфные расходы, размножение материалов и т.д. Их величина определяется по следующей формуле:

$$Z_{\text{накл}} = (\text{сумма статей } 1 \div 7) \cdot k_{\text{нр}}, \quad (14)$$

где $k_{\text{нр}}$ – коэффициент, учитывающий накладные расходы.

Величину коэффициента накладных расходов можно взять в размере 16%.

3.2.11 Формирование бюджета затрат научно-исследовательского проекта

Расчитанная величина затрат научно—исследовательской работы (темы) является основой для формирования бюджета затрат проекта, который при формировании договора с заказчиком защищается научной организацией в качестве нижнего предела затрат на разработку научно—технической продукции.

Определение бюджета затрат на научно—исследовательский проект по каждому варианту исполнения приведен в табл. 11.

Таблица 11 —3 Расчет бюджета затрат НИИ

Наименование статьи	Сумма, руб.	Примечание
1. Материальные затраты НИИ	26966	Пункт 2.5
2. Затраты на специальное оборудование для научных (экспериментальных) работ	56600	Пункт 2.6
3. Затраты по основной заработной плате исполнителей темы	54962,34	Пункт 2.7
4. Затраты по дополнительной заработной плате исполнителей темы	8244,35	Пункт 2.8
5. Отчисления во внебюджетные фонды	18589,94	Пункт 2.9
6. Накладные расходы	21632,96	16 % от суммы ст. 1—5
7. Бюджет затрат НИИ	186993	Сумма ст. 1—6

3.3 Определение ресурсной (ресурсосберегающей), финансовой, бюджетной, социальной и экономической эффективности исследования

Эффективность разрабатываемого аудиометра определяется за счет социальной, ресурсной и экономической сторон. Социальная значимость прибора позволяет использовать его для эффективной связи в локальных сетях. На данный момент, локальные сети по технологии Ethernet практически во всех крупных организациях, в том числе, и социально значимых. Экономическая выгода данного исполнения прибора достигается за счет масштабируемости разработанной архитектуры, что позволит обеспечить большой охват рынка. Применение Cyclone 5 является ресурсосберегающим решением, поскольку на периферийные устройства, не участвующие в выполнении требуемых функций, не подается питание.

Вывод: В ходе SWOT анализа было выявлено, что данное научное исследование является актуальным и имеет коммерческий потенциал.

Произведенная оценка коммерческого потенциала и перспективности проведения научных исследований выявила сильные стороны аудиометра: масштабируемость архитектуры, малая задержка на устройстве. Для удержания продукта на рынке необходимо улучшать следующие параметры: внедрить полноценный WLAN и предоставить настройку QoS.

Планирование научно—исследовательской работы позволило выделить основные этапы, календарные сроки и отразить их на диаграмме Ганта. Бюджет затрат НИИ составил 186993 р. исходя из материальных затрат, использования спецоборудования, основной и дополнительной затрат исполнителей, отчислений во внебюджетные фонды и накладных расходов.