

# РЕАЛИЗАЦИЯ УСТРОЙСТВА КОНТРОЛЯ ПРАВИЛЬНОСТИ ПЕРЕДАЧИ ДАННЫХ В СИСТЕМЕ СИНХРОНИЗАЦИИ И ПРОТИВОАВАРИЙНОЙ ЗАЩИТЫ УСТАНОВКИ ТОКАМАК КТМ

Мыцко Е.А., Мальчуков А.Н.

Научный руководитель: Ю.Б. Буркатовская  
Томский политехнический университет  
E-mail: evgenvt@tpu.ru, jgs@tpu.ru

## Введение

Для повышения надежности передачи данных в автоматизации и системах контроля применяется помехоустойчивое кодирование [1]. На стороне отправителя встраивается кодер для формирования кодового слова из пакета данных, в то время, как на приёмной стороне встраивается декодер, обнаруживающий и исправляющий ошибки в полученном слове, либо сигнализирующий о неисправимой ошибке. В данной работе рассмотрена реализация на ПЛИС устройства контроля правильности передачи данных в системе противоаварийной защиты с применением метода параллельного циклического декодирования [1].

## Структура передаваемого пакета данных

Структура пакета, для которого реализовывался циклический метод параллельного декодирования на ПЛИС представлен на рис.1. Данный пакет включает в себя конфигурируемый старт-байт, 2 байта данных и байт контрольной суммы CRC8.



Рис. 1. Структура пакета данных

Каждый байт пакета кодируется и декодируется отдельно. После декодирования байты данных собираются в исходный пакет длины 4 байта.

## Реализация кодера на ПЛИС

Для получения кодового слова необходимо полином данных умножить на  $2^k$ , где  $k$  на единицу меньше длины образующего полинома [2,3] и разделить полученное кодовое слово на образующий полином. Затем, остаток от деления сложить логической операцией «ИЛИ» с кодовым словом. Данный алгоритм можно описать формулой (1), где

$CW(x)$  – конечное кодовое слово,  $M(x)$  – данные,  $G(x)$  – образующий полином,  $\text{mod}$  – остаток от деления. На рис. 1 представлен функциональный блок кодера для блока данных 1 байт, реализованный на языке описания аппаратуры Verilog в программе Quartus II.

$$CW(x) = M(x) * 2^k \mid \text{mod}((M(x) * 2^k)/G(x)) \quad (1)$$

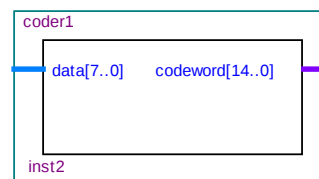


Рис. 2. Функциональный блок кодера

На вход блока подаётся 1 байт данных, на выход блока – сформированное кодовое слово. Таким образом, для каждого байта пакета данных строится кодовое слово, после чего все слова формируются в один пакет длиной 60 бит (4 по 15 бит), который передаётся получателю по каналу связи.

## Реализация на ПЛИС декодера циклического кода, исправляющего пакетные ошибки

Структурная схема блока циклического декодирования для исправления пакетных ошибок представлена на рис.3. Сформированные циклическим сдвигом кодовые слова параллельно поступают на блок вычисления остатков от деления кодовых слов на образующий полином [2,3]. Затем, полученные остатки поступают на блок проверки соответствия  $R_i(x)$  шаблону  $P(x)$ . В случае соответствия шаблону, остаток складывается по модулю 2 с кодовым словом и осуществляется обратный циклический сдвиг на  $i$  разрядов, где  $i$  – порядковый номер остатка, соответствующего шаблону.

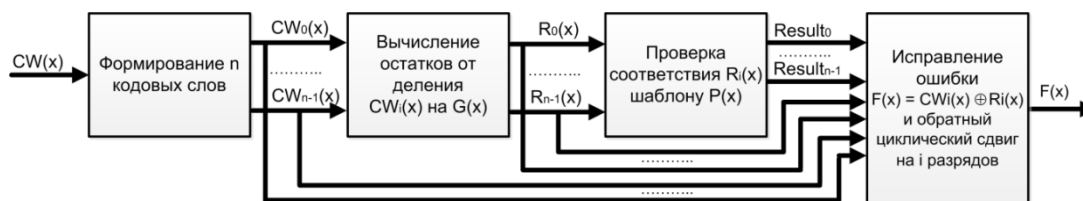


Рис. 3. Структурная схема блока циклического декодирования для пакетных ошибок

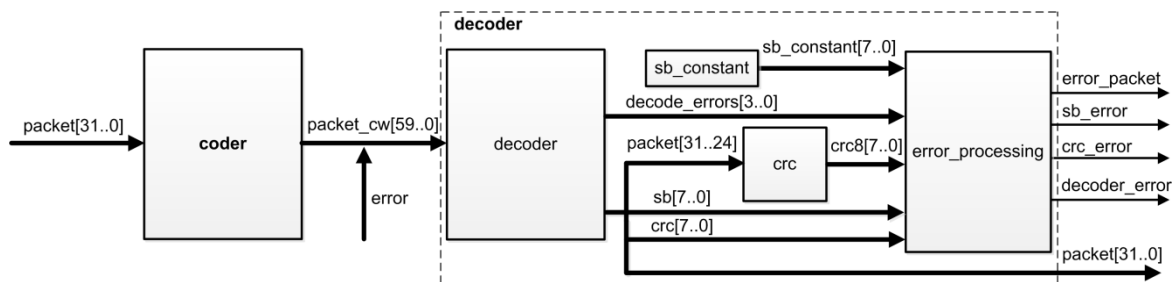


Рис. 4. Структурная схема устройства контроля правильности передачи данных

На рис. 5. представлен функциональный блок декодера 15-ти разрядного кодового слова.

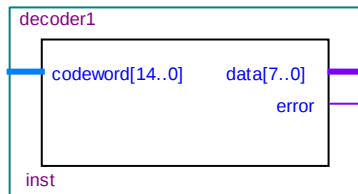


Рис. 5. Функциональный блок декодера

На вход декодера подаётся 15-ти разрядное кодовое слово, на выход – исправленный блок данных длиной 1 байт.

На рис. 4 представлена полная схема устройства контроля правильности передачи данных. Закодированное кодовое слово через канал связи с помехами поступает на декодер. Рассчитанная контрольная сумма для декодированных данных вместе с сигналами ошибок от декодера и старт-байтом поступают на блок обработки и выдачи сигналов ошибок.

#### Примеры исправления пакетных ошибок

Для проверки работы устройства на вход кодера были поданы следующие данные : старт-байт: 00h, 1-байт: AAh, 2-ой байт: 0Fh. На рис. 6 представлены результаты работы кодера.

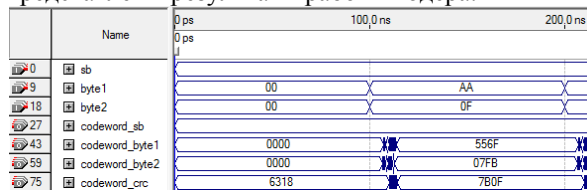


Рис. 6. Тестирование кодера на ПЛИС

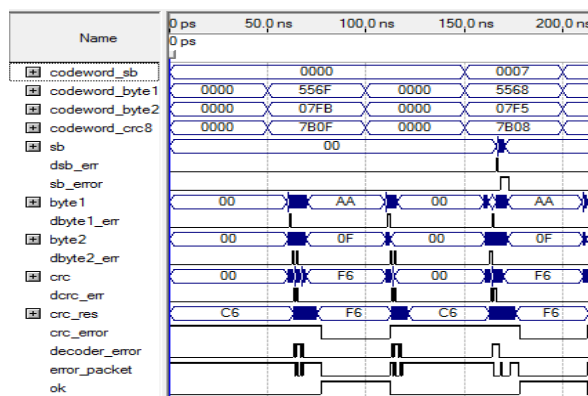


Рис. 7. Тестирование декодера на ПЛИС

На рис. 7 представлены результаты работы декодера. На вход декодера были поданы кодовые слова без ошибок (старт-байт: 0000h, 1-ый байт:

556Fh, 2-ый байт: 07FBh, CRC: 7B0Fh) и слова с трёхкратной пакетной ошибкой (0007h, 5568h, 07F5h, 7B08h). Как видно из рис.7 трёхкратная ошибка исправляется декодером (старт-байт: 00h, 1-ый байт: AAh, 2-ой байт: 0Fh, CRC: F6h ). При этом, декодированная контрольная сумма CRC [4] совпадает с контрольной суммой для декодированных данных.

#### Заключение

В данной работе описана реализация на ПЛИС устройства контроля правильности передачи данных в системе противаварийной защиты с применением метода параллельного циклического декодирования. Приведены структурные схемы декодера и всего устройства контроля. Описаны функциональные блоки кодера и декодера, разработанные с применением блочно-ориентированного подхода на языке описания аппаратуры Verilog. Приведены примеры работы разработанного устройства, по которым можно убедиться в корректности исправления ошибок.

#### Список литературы

1. Морелос-Сарагоса Р. Искусство помехоустойчивого кодирования: методы, алгоритмы, применение: учебное пособие: пер. с англ. – М.: Техносфера, 2006. – 320 с.
2. Mytsko E. A., Malchukov A. N. Adaptation of technology MPI and OpenMP to search for the generators polynomials // 9th International Forum on Strategic Technology (IFOST-2014): Proceedings, Chittagong, October 21-23, 2014. - Chittagong: CUET, 2014 - p. 5-8
3. Mytsko E. A., Malchukov A. N. Application of parallel computing technology openmp to search for the generator polynomials // Mechanical Engineering, Automation and Control Systems: Proceedings of International Conference, Tomsk, October 16-18, 2014. - Tomsk: TPU Publishing House, 2014 - p. 1-5
4. Мыцко Е. А. , Мальчуков А. Н. Исследование программных реализаций алгоритмов вычисления CRC совместных с PKZIP, WINRAR, ETHERNET // Известия Томского политехнического университета. – 2013 – Т. 322 – №. 5. – С. 170-175.