

РЕАЛИЗАЦИЯ МОДУЛЯ ОБРАБОТКИ TLP ПАКЕТОВ В ИНТЕРФЕЙСЕ PCIE 2.0 X8

Новожилов И.В., Рубцов И.Н.

Научный руководитель: Мальчуков А.Н.

Томский политехнический университет

e-mail: ilya2371@yandex.ru, jgs@tpu.ru

Введение

PCI Express является стандартом передачи данных между CPU, системной памятью и аппаратными ускорителями (GPU, ПЛИС) в задачах высокопроизводительных вычислений (High Performance Computing). Весь трафик данного интерфейса оформлен в виде пакетов, из которых прикладной интерес представляют пакеты уровня транзакций — TLP [1,2]. В данной работе рассмотрена реализация модуля обработки TLP пакетов в составе контроллера интерфейса PCI-E (односторонняя потоковая передача).

Типы TLP пакетов

Существуют различные виды TLP пакетов: readrequest, writerequest, completion и другие. Для реализации односторонней передачи данных были использованы только два: readrequest (Рис. 1) и completion (Рис. 2).

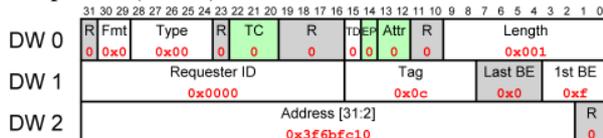


Рис. 1. Read Request TLP

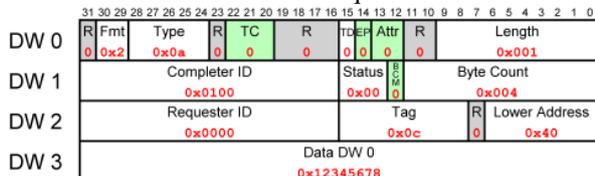
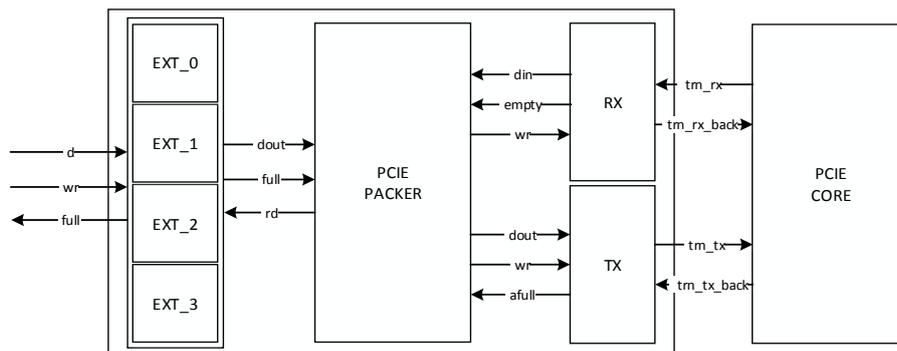


Рис. 2. Completion TLP

Read request TLP приходит от хоста и является началом передачи данных. Completion TLP – ответ на пришедший запрос, содержащий данные требуемого объема.

Структура модуля обработки TLP пакетов

Обработчик TLP пакетов является встраиваемым модулем в составе контроллера интерфейса PCI-E. В основе контроллера лежит ядро PCI-E [3], обмен данными с которым осуществляется с помощью интерфейса AXI4-



Stream[4] (128 бит для 8-ми линий), который позволяет передавать по 4 TLP слова за такт.

Для построения иерархии проекта был применен блочно-ориентированный подход [5]. Структурная схема модуля обработки TLP пакетов имеет следующий вид (Рис. 3).

Все пришедшие запросы на чтение помещаются в очередь RX (95 бит), затем извлекаются модулем pcie_packer для формирования заголовков ответного пакета. Данные для передачи извлекаются из очереди EXT (128 бит) и поступают в pcie_packer. Очередь TX хранит обработанные пакеты для их отправки в ядро PCI-E.

Модуль pcie_packer включает в себя 2 автомата: gx и tx. Первый проверяет наличие данных и запроса, считывает их, устанавливает флаг занятости. Возврат в начальное состояние происходит при сбросе флага занятости автоматом tx.

Автомат tx начинает свою работу при установке флага занятости. На первом такте (tx0) формируется сигнал rd для обновления данных D0 в очереди EXT, т.к. на следующем такте они будут отправлены вместе с заголовками.

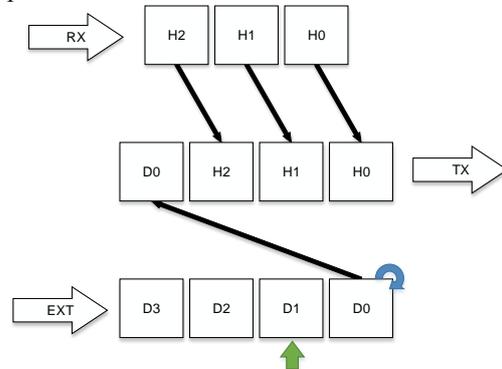


Рис. 4. Пример формирования DW0

Состояние tx1 (Рис. 4) используется для формирования заголовков (H0, H1, H2) на основе полученного запроса.

Рис. 3. Структурная схема модуля

Слово (D0, H2, H1, H0) отправляется в очередь TX, откуда отправляется к хосту. При этом осуществляется сдвиг указателя pointer на следующий раздел. Указатель показывает на раздел очереди EXT, в котором хранится следующая порция данных.

Переход в следующее состояние зависит от объема запрашиваемых данных (H0 - Length). При заполнении очереди TX – переход в состояние ожидания tx_w. При необходимости отправки более четырех порций данных – tx2, менее четырех – tx3. Если требовалось отправить только одну порцию данных, происходит сброс флага занятости и переход в tx4. При переходе в состояние tx2 обновляются все 4 слова во входных очередях EXT.

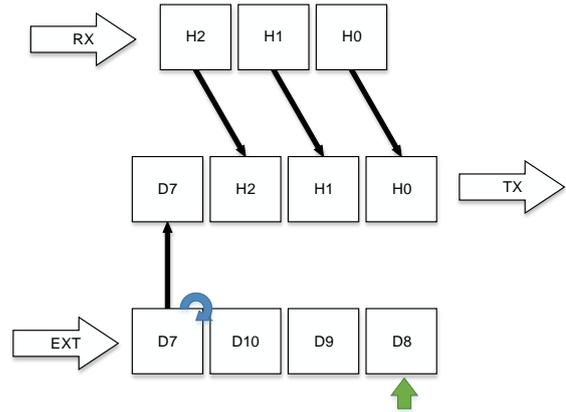


Рис. 7. Пример формирования DW0 следующего пакета

Для тестирования разработанного модуля были подготовлены TLP пакеты с запросами на чтение данных разного объема (1, 2, 5 и 15 32-битных слов). Считываемые данные генерировались случайным образом. В результате работы модуля были сформированы TLP ответы с запрашиваемым объемом данных. Заголовки всех пакетов имели правильную структуру и соответствовали запросам.

Для реализации полного контроллера требуется добавить систему управления передачей данных (команды типа: пауза, возобновление передачи), управление каналом DMA.

Заключение

В данной работе рассмотрена структура TPL пакетов, структура обработчика TPL пакетов. Разработан быстродействующий модуль обработки TPL пакетов с применением блочно-ориентированного подхода и языка описания аппаратуры VHDL. По результатам тестирования установлено, что разработанное устройство при частоте 250 МГц исправно считывает TLP запросы и данные, формирует TLP ответ с требуемым объемом данных и отправляет его на ядро PCI-E по интерфейсу AXI4-Stream.

Список литературы

1. Mike Jackson, Ravi Budruk // PCI Express Technology Comprehensive Guide to Generations 1.x, 2.x, 3.0 // MindShare, Inc. – 2012. – С. 1057
2. PCI Express Base Specification Revision 3.0 // PCI-SIG – 2010. – С. 860
3. 7 Series FPGAs Integrated Block for PCI Express v3.2 // Xilinx inc. – 2015. – С. 401
4. AXI Reference Guide // Xilinx, Inc. – 2011. – С. 82
5. Еремин В. В. , Мальчуков А. Н. О применении блочно-ориентированного подхода к разработке устройств на ПЛИС [Электронный ресурс] // Вестник науки Сибири. Серия: Информационные технологии и системы управления. - 2011 - №. 1 - С. 379-381. - Режим доступа: <http://sjs.tpu.ru/journal/issue/view/2/showToc/sect/4>

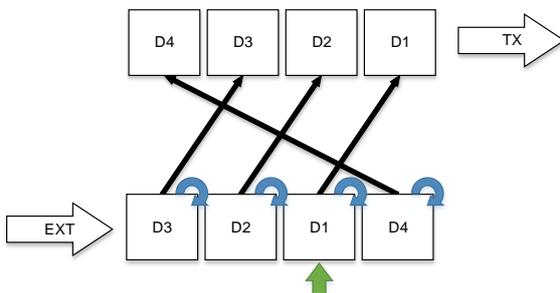


Рис. 5. Пример формирования DW1

Состояние tx2 (Рис. 5) используется для формирования слова из четырех порций данных (D4, D3, D2, D1). Слово DW1 формируется с раздела, на котором остановился указатель. Переход в следующее состояние происходит по тому же алгоритму, что и в состоянии tx1.

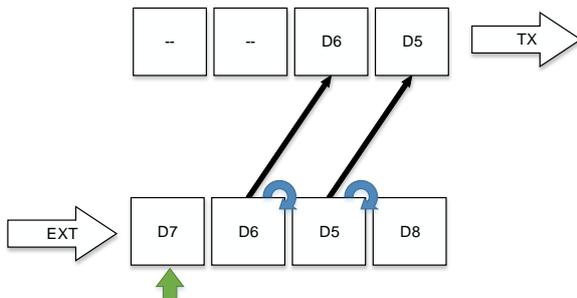


Рис. 6. Пример формирования DW2

В состоянии tx3 (Рис. 6) формируется последний фрагмент TLP пакета (1-3 DataDW). Помимо данных (127:0) в очередь TX записывается флаг последнего TLP слова (128) и строб (132:129) для обозначения валидности данных. Флаг занятости сбрасывается, происходит переход в tx4.

В tx4 сбрасываются сигналы записи и обновления данных, происходит переход в tx0.

При обработке следующего запроса (Рис. 7) учитывается положение указателя pointer. Таким образом достигается высокая производительность модуля при обработке данных.