УДК 621.382

РАЗРАБОТКА И МОДЕЛИРОВАНИЕ ФЕРРОЭЛЕКТРИЧЕСКОЙ ЗАПОМИНАЮЩЕЙ ЯЧЕЙКИ

О.А. Петросян, В.В. Буниатян, Л.М. Траваджян

Армянский государственный инженерный университет, г. Ереван

E-mail: polonc.ru@mail.ru

Рассмотрены сравнительные характеристики ферроэлектрических запоминающих устройств с наиболее распространенными запоминающими устройствами. Разработана новая многоистоковая структура ферроэлектрической запоминающей ячейки, проведен анализ ее работы, а также моделирование ячейки на основе программного пакета HSpice. Исследованы основные характеристики многоистоковой структуры при различных комбинациях параметров запоминающей ячейки согласно методу проектирования накопителя с оптимизированным отношением емкостей разрядной шины и ферроэлектрического конденсатора.

Ключевые слова:

Ферроэлектрическая ячейка, моделирование, временная диаграмма, многоистоковая структура.

Key words:

Ferroelectric cell, modeling, time diagram, multisource structure.

Введение

Энергонезависимая память является необходимым элементом компьютерных систем. Ферроэлектрическая (ФЭ) память с произвольной выборкой (FeRAM) является одной из переспективных типов репрограммируемой энергонезависимой памяти. ФЭ память характеризуется высокими скоростями записи/считывания информации и низкой потребляемой мощностью. Важным условием использования такой памяти является ее технологическая совместимость со стандартными технологиями изготовления современных интегральных схем.

Известно несколько вариантов построения ФЭ запоминающих ячеек (ЗЯ) – 1С, 1Т, 1Т-1С, 2Т-2С структуры [1, 2]. Во всех вариантах построения ЗЯ (рис. 1) логическим состояниям «1» и «0» соответствуют отрицательные и положительные значения остаточной поляризации ФЭ конденсатора.



Рис. 1. Электрические схемы ФЭ ЗЯ: а) 1С; б) 1Т; в) 1Т-1С; r) 2T-2С; д) 1T-2С

В распространенных ФЭ ЗЯ обычно хранится только один бит информации, что приводит к ограниченным функциональным возможностям и низкой степени интеграции. Это обусловлено тем, что с истоком каждого транзистора ЗЯ связан один ФЭ конденсатор, что в свою очередь снижает эффективность использования площади кристалла. В этой связи расширение функциональных возможностей и повышение степени интеграции ЗЯ является весьма актуальной задачей. В данной работе предложена и изучена новая структура энергонезависимой ФЭ ЗЯ.

Моделирование разработанной запоминающей ячееки

Разработанная ЗЯ 1Т-тС является многоистоковым МОП транзистором, с каждым истоком которого связан свой ФЭ конденсатор [3]. Подобно 1Т-1С ячейке в этой структуре принцип хранения информации основан на двух энергонезависимых состояниях спонтанной поляризации петли гистерезиса в ФЭ конденсаторе. На рис. 2 показана принципиальная электрическая схема разработанной ЗЯ.



Рис. 2. Эквивалентная электрическая схема ЗЯ 1Т-тС

Сток транзистора соединен с разрядной шиной (BL), а затвор — со словарной шиной (WL). Данные хранятся в соединенных с истоками ФЭ конденсаторах. Одна из обкладок каждого конденсатора соединена с одним из стоков МОП транзистора, а другая обкладка подсоединена с управляющей шиной (PL). Выбор конденсаторов, связанных с данным транзистором, осуществляется приложением напряжения к соответствующей шине PL. Для записи данных, например, логической «1» в ФЭ конденсаторе, к шине BL прикладывается положительное напряжение, а к шине WL (затвору транзистора) подается сигнал записи превышающее пороговое напряжение транзистора. Транзистор переходит в открытое состояние, и ток поляризует соответствующий ФЭ конденсатор. Для записи логической «1» в следующем конденсаторе ЗЯ реализуются те же операции но с той разницей, что низкое напряжение подается на связанный с данным конденсатором шины PL.

Временные диаграммы многоистоковой ЗЯ, а также характеристики токов переключения на основе электрической схемы тракта считывания ЗЯ (рис. 3) получены с использованием программы моделирования HSpice. На рис. 4 и 5 показаны временные диаграммы режимов записи и считывания логической «1» и «0» в ЗЯ 1Т-mC. Для данного примера рабочее напряжение питания составляло 3 В, частота сигнала 5 МГц, площадь ФЭ конденсатора 4,5·10⁻¹² м², материал ферроэлектрика PZT.

При считывания информации регистрируется изменение тока, обусловленное переключением заряда поляризации конденсатора, когда к ЗЯ прикладывается соответствующее напряжение. ФЭ конденсатор переключается и чувствительный усилитель (рис. 3) регистрирует записанную в ЗЯ информацию, т. е. изменение напряжения на шине BL. Временная диаграмма моделированных токов



Рис. 3. Электрическая схема тракта считывания 39: RBL – опорная битовая шина; RBL – инверсная опорная битовая шина; sdn – сигнал контроля усилителя



Рис. 4. Временные диаграммы режимов записи и считывания логической «1» (снизу вверх показаны напряжения WL, PL и предзарядки, остаточный заряд в ФЭ конденсаторе и напряжение BL)



Рис. 5. Временные диаграммы режимов записи и считывания логического «О»



Рис. 6. Временная зависимость токов переключения в режиме считывания. Верхняя кривая соответствует логической «1», а нижняя кривая логическому «0»

переключения ЗЯ в режиме считывания показана на рис. 6. В режиме считывания записанная в ЗЯ информация стирается, следовательно в том же цикле производится восстановление начальной информации (рис. 4 и 5). Величина напряжения считанной из ФЭ ЗЯ, как и в традиционном ЗЯ DRAM, определяется отношением C_{BL}/C_{FE} , где C_{FE} – емкость ФЭ конденсатора и C_{BL} – паразитная емкость битовой линии.

Емкость C_{BL} обусловлена главным образом диффузионной емкостью транзистора выборки на битовой линии, а емкость C_{FE} зависит от записанной в ЗЯ информации. ФЭ конденсатор можно апроксимировать емкостью C_{FE1} , если в ЗЯ записана «1», и C_{FE0} , если записана «0», как показано на рис. 7. Изменение динамической емкости полупроводниковых элементов при изменении приложенного к ним напряжения пренебрежимо мало по сравнению с исходной емкостью и поэтому при моделировании ЗЯ не учитывается.

Расчет значений напряжения на битовой линии ФЭ ЗЯ проведен согласно эквивалентной схеме, приведенной на рис. 8.

Если хранимая в ЗЯ информация логическая «1», то $V_{BL1}+V_{CF1}=V_{DD}$; $Q_{BL1}=C_{BL}V_{BL1}=C_{CF1}V_{CF1}=Q_{CF1}$ и

$$V_{BL1} = \frac{C_{CF1}}{C_{CF1} + C_{BL}} V_{DD}$$
или $V_{BL1} = \frac{1}{1 + C_{BL} / C_{CF1}} V_{DD}$. (1)

Если же хранимая информация логический «0», то $V_{BL0} + V_{CP0} = V_{DD}$; $Q_{BL0} = C_{BL}V_{BL0} = C_{CP0}V_{CP0} = Q_{CP0}$ и



Рис. 7. Апроксимация петли гистерезиса ФЭ конденсатора двумя линейными конденсаторами С_{FE} и С_{FE}



Рис. 8. Эквивалентная схема 3Э в режиме считывания логической «1» (а) и логического «0» (б) для расчета напряжений V_{вL1} и V_{вL0} соответственно

Емкость опорного конденсатора и опорное напряжение ЗЯ можно рассчитать, пользуясь следующими выражениями:

$$C_{ref} = \frac{C_{CF0} + C_{CF1}}{2}; \ V_{ref} = \frac{V_{BL0} + V_{BL1}}{2}.$$

Из уравнений (1) и (2) следует, что как V_{BL1} , так и V_{BL0} зависят от отношения C_{BL}/C_{FE} . Важно отметить, что при считывании информации емкости C_{BL} и C_{FE} должны удовлетворять определенному соотношению. В соответствии с этим требованием был предложен метод проектирования накопителя с оптимизированным C_{BL}/C_{FE} отношением [2]. Согласно этому методу для точной операции считывания величина C_{BL} должна находиться высше определенного уровня. Для полноценного описания возможностей многоистоковой структуры изучены основные характеристики напряжений V₁ и V₀ (V_{BL1} и V_{BL0}) при различных комбинациях параметров ЗЯ. На рис. 9 показана зависимость напряжения V_1 (V_{BL1}) от числа конденсаторов (истоков) в ЗЯ при различных значениях отношения C_{BL}/C_{FE} . Напряжение на битовой линии сравнительно слабо зависит от числа конденсаторов в многоистоковой структуре, но существенно зависит от отношения C_{BL}/C_{FE} .

На рис. 10–12 представлены зависимости напряжений V_1 , V_0 и $\Delta V_{BL} = (V_1 - V_0)$ от отношения C_{BL}/C_{FE} , построенные на основе моделированных временных диаграмм.



Рис. 9. Зависимость напряжения V₁ от числа конденсаторов в 3Я при различных значениях C_{BL}/C_{FE}



Рис. 10. Зависимость напряжений V_1 и V_0 от отношения C_{BL}/C_{FE}



Рис. 11. Зависимость разности напряжений ΔV_{BL} (дифференциальное напряжение) от отношения C_{BL}/C_{FE} (число подключенных конденсаторов равно трем)

Полученные количественные зависимости необходимы при проектировании $\Phi \ni 3Я$, так как позволяют в первом приближении оценивать возможные пределы изменения емкостей битовой линии C_{BL} и ячейки C_{FE} (эквивалентно площади конденсатора). Становится очевидным, что в отличие от DRAM увеличение размера $\Phi \ni$ конденсатора не всегда приводит к более высокому сигнальному напряжению. Это обусловлено тем, что в режиме считывания напряжение PL (например, V_{DD}) распределяется согласно емкостному делителю, формируемому емкостями C_{FE} и C_{BL} . При этом для увеличения уровня напряжения считывания выходно-



го сигнала важной задачей становится определение оптимального соотношения между C_{RI} и C_{FF} .

Рис. 12. Зависимость разности напряжений ΔV_{BL} от C_{BL}/C_{FE} при различном числе подключенных в структуре конденсаторов

На рис. 10 и 11 наблюдается четкий максимум для разности потенциалов ΔV_{BL} , следовательно увеличивается ресурс чувствительного усилителя. Таким образом, можно получать данные с более высокой надежностью. Для современного уровня технологии емкость битовой линии C_{BL} во много раз больше емкости ячейки C_{FE} , следовательно уровень дифференциального напряжения битовой линии по существу очень низкий (100...300 мВ).

СПИСОК ЛИТЕРАТУРЫ

- Sheikholeslami A., Gulak P.G. A Survey of Circuit Innovations in Ferroelectric Random-Access Memories // Proc. of the IEEE. – 2000. – V. 88. – № 5. – P. 667–689.
- Matichyn S. Fabrication and Characterisation of Ferroelectric Lead Zirconate Titanate and Strontium Bismuth Tantalate Thin Films. – Magdeburg, 2006. – 126 p.

Выводы

- Разработана новая многоистоковая запоминающая ячейка, позволяющая увеличивать функциональные возможности и степень интеграции запоминающего устройства. Рассмотрены ее принцип работы и конструктивные особенности.
- Моделирование временных характеристик электрической схемы тракта считывания запоминающей ячейки показали их соответствие с аналогичными характеристиками серийно выпускаемых ферроэлектрических запоминающих устройств.
- Получены выражения для напряжений высокого и низкого уровней на битовой шине ячейки и исследованы ее основные характеристики при различных числах истоков МОП транзистора и отношения емкостей разрядной шины и конденсатора.
- 4. Установлено, что напряжение на битовой линии слабо зависит от числа конденсаторов ячейки и существенно зависит от отношения емкостей разрядной шины и конденсатора. Показана важность определения отношения этих емкостей, при котором дифференциальное напряжение достигает максимального значения.
- Ферроэлектрическая ячейка: пат. АМ20100167 Республика Армения; заявл. 07.12.10; опубл. 25.03.11. Бюл. № 2. 23 с.

Поступила 27.10.2011 г.